

---

## CLAIM + DETAILED DESCRIPTION

---

[Claim(s)]

[Claim 1]

It has the photodiode formed in each light-receiving field on a 1st electric conduction type semiconductor base, and the semiconductor circuit element formed in the field outside said light-receiving field on said semiconductor base,

Base which comes to embed an insulating film in the crevice which was formed on said semiconductor base, and was formed in order to carry out element separation of between said photodiode and said semiconductor circuit elements

The Ne separation structure,

The 2nd electric conduction type channel stopper layer formed into said semiconductor base so that said element separation structure which carries out element separation of said photodiode might be touched and this might be surrounded

\*\*\*\*

The 1st which was formed in the surface side of said light-receiving field and which constitutes said photodiode

A conducted-current type semiconductor layer,

The 1st 2nd electric conduction type WERU formed to the end of said element separation structure by the side of said light-receiving field so that said light-receiving field might be surrounded outside said light-receiving field in a way position,

The 2nd 2nd electric conduction type WERU formed in the bottom of said light-receiving field,

The 3rd 2nd electric conduction type WERU which connects said 1st and 2nd WERU

It is photo-electric-conversion equipment which \*\*\*\*\*,

It is said CHANE in the position which is the circumference of said light-receiving field in said 1st WERU which encloses this in contact with said element separation structure, and it is between said semiconductor circuit elements.

The RUSUTOPPA layer is carrying out the end.

Photo-electric-conversion equipment.

[Claim 2]

Photo-electric-conversion equipment with which said element separation structure is prepared in the circumference of said light-receiving field at least and which was indicated to Claim 1.

[Claim 3]

Photo-electric-conversion equipment with which said element separation structure is established also between said photodiode of said light-receiving field, and said semiconductor circuit element of the non-light sensing portion of this circumference, and/or between said semiconductor circuit element of said non-light sensing portion, and said semiconductor circuit element of a circumference circuit part and which was indicated to Claim 2.

[Claim 4]

Said 1st WERU is formed also in the formation area of said semiconductor circuit element of said non-light sensing portion, and/or said semiconductor circuit element of said circumference circuit part, and said element separation structure of said

circumference of a semiconductor circuit element is touched. Photo-electric-conversion equipment with which the channel stopper layer is formed rather than said channel stopper layer at low concentration also into the 1st [ said ] WERU which encloses these and which was indicated to Claim 3.

[Claim 5]

Photo-electric-conversion equipment said whose element separation structure is STI (Shallow Trench Isolation) structure and which was indicated to Claim 1.

[Claim 6]

Photo-electric-conversion equipment said whose photo-electric-conversion equipment is a solid state image sensor and which was indicated to Claim 1.

[Claim 7]

It is the production method of the photo-electric-conversion equipment which forms a photodiode in each light-receiving field on a 1st electric conduction type semiconductor base, and forms a semiconductor circuit element in the field outside said light-receiving field on said semiconductor base,

On said semiconductor base, the crevice for carrying out element separation of between said photodiode and said semiconductor circuit elements is formed, an insulating film is embedded in this crevice, and it is element separation.

The process which forms structure,

The process which forms a 2nd electric conduction type channel stopper layer into said semiconductor base so that this may be surrounded in contact with said element separation structure which carries out element separation of said photodiode,

Half the 1st electric conduction type which constitutes said photodiode in the surface side of said light-receiving field

The process which forms a conductor layer,

To the end of said element separation structure by the side of said light-receiving field, it is formation \*\*\*\*\* about the 1st 2nd electric conduction type WERU so that said light-receiving field may be surrounded outside said light-receiving field in a way position.

Degree,

The process which forms the 2nd 2nd electric conduction type WERU in the bottom of said light-receiving field

The 3rd 2nd electric conduction type WERU which connects said 1st and 2nd WERU is formed.

Process

It is the production method of the photo-electric-conversion equipment which \*\*\*\*\*,

In said 1st WERU which encloses this in contact with said element separation structure, said channel stopper layer is formed so that the end may be carried out in the position which is the circumference of said light-receiving field and it is between said semiconductor circuit elements.

The production method of photo-electric-conversion equipment.

[Claim 8]

Photo-electric-conversion equipment which prepares said element separation structure in the circumference of said light-receiving field at least and which was indicated to Claim 7.

[Claim 9]

Photo-electric-conversion equipment which establishes said element separation structure

also between said photodiode of said light-receiving field, and said semiconductor circuit element of the non-light sensing portion of this circumference, and/or between said semiconductor circuit element of said non-light sensing portion, and said semiconductor circuit element of a circumference circuit part and which was indicated to Claim 8.

[Claim 10]

Form said 1st WERU also in the formation area of said semiconductor circuit element of said non-light sensing portion, and/or said semiconductor circuit element of said circumference circuit part, and said element separation structure of said circumference of a semiconductor circuit element is touched. The production method of the photo-electric-conversion equipment indicated to Claim 9 which forms a channel stopper layer rather than said channel stopper layer at low concentration also into the 1st [ said ] WERU which encloses these.

[Claim 11]

The production method of the photo-electric-conversion equipment indicated to Claim 7 said whose element separation structure is STI (Shallow Trench Isolation) structure.

[Claim 12]

[ carrying out the mask of except for said photodiode part in the circumference of a photodiode part, before performing embedding of said insulating film to said crevice after forming said crevice ] The production method of the photo-electric-conversion equipment indicated to Claim 7 which forms said channel stopper layer by carrying out ion implantation from the wall surface of said crevice of a photodiode part.

[Claim 13]

By carrying out ion implantation from the wall surface of said crevice, carrying out the mask of the semiconductor circuit element part of the semiconductor circuit element part of a photodiode part and said non-light sensing portion, and/or said circumference circuit part, before performing embedding of said insulating film to said crevice after forming said crevice The production method of the photo-electric-conversion equipment indicated to Claim 10 which forms said channel stopper layer of said semiconductor circuit element part.

[Claim 14]

The production method of the photo-electric-conversion equipment indicated to Claim 7 which embeds the insulating material for element separation by a vapor phase epitaxy method at said crevice after forming said crevice.

[Claim 15]

The production method of the photo-electric-conversion equipment indicated to Claim 7 which forms said 1st, 2nd, and 3rd WERU by ion implantation.

[Claim 16]

The production method of the photo-electric-conversion equipment indicated to Claim 7 which manufactures a solid state image sensor.

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the photo-electric-conversion equipment with which the photodiode is formed in each light-receiving field, respectively, and its production

method.

[0002]

[Description of the Prior Art]

The opportunity to change optical picture information into an electric signal, take in as digital data, process, and use by the rapid spread of a digital camera or the Internet, is increasing in recent years. For this reason, also to photo-electric-conversion equipment, such as a solid state image sensor, the demand of highly-efficient-izing of a miniaturization, the reduction in cost, the degree of highly minute, quantity sensitivity, an extensive dynamic range, etc., etc. increases, and it is expected that the miniaturized high integration of solid state image sensors, such as a photodiode, will progress increasingly from now on.

[0003]

Drawing 9 is an example of the outline sectional view (a) of the principal part centering on photodiodes (PD;Photo Diode), such as the conventional image sensor, and an outline top view (b). In order to carry out element separation of between photodiodes, the element separation structure 107 of the LOCOS (Local Oxidation of Silicon) structure of insulating the light-receiving field 114 of each photodiode electrically is formed in the substrate surface.

[0004]

In the example of drawing 9, the N-type silicon substrate 101 is used for a substrate, and the photodiode is formed of PN junction by the interface of the N-type silicon layer 118 formed in the substrate surface part, and the silicon layer 112 which the lower part formed into P-model. The portion in which the portion surrounded with the element separation structure 107 is hereafter called the light-receiving field 114, among those PN junction is formed will be called the sensor opening 115, and both will be distinguished.

[0005]

If the light which entered into the sensor opening 115 reaches PN connection, it will be changed into a hole and an electron there, and the signal electric charge (electron) according to the quantity of light of incident light is accumulated in the N-type silicon layer 118 and the silicon layer 112 which the N-type layer formed into P-model further. In addition, it is for P+ type silicon layer 119 of the outermost surface preventing disclosure of the electric charge from the surface.

[0006]

[ the above-mentioned signal electric charge accumulation field which consists of N-type silicon layer 118 grade ] So that P-type surface side WERU 111 formed in the lower part and the circumference of the element separation structure 107, the P-type deep well 108 formed in the position where a substrate is deep, and P-type surface side WERU 111 and the P-type deep well 108 may be connected electrically It is enclosed from the side and the bottom by P-type plug (Plug) WERU 110 formed in the up-and-down direction for a long time at the lower part of the element separation structure 107. This dissociates from a circumference element electrically in a substrate, and a signal electric charge does not reveal a signal electric charge accumulation field by it.

[0007]

Next, the main point is explained about the production method of the photodiode of drawing 9.

[0008]

First, the element separation structure 107 of LOCOS structure is formed in the circumference of the light-receiving field 114 of the N-type silicon substrate 101 by the thermal oxidation of a substrate 101.

[0009]

Next, thermal diffusion and annealing treatment by the ion implantation of B<sup>+</sup> and heating are performed, and P-type surface side WERU 111 is formed in the position where a substrate is deep under the P-type deep well 108 and the element separation structure 107 the lower part and around P-type plug WERU 110 and the element separation structure 107. P-type surface side WERU 111 is the Reason mentioned later, and covers the end of the element separation structure 107 of LOCOS structure with a width of about 0.1 micrometer -- it is formed like (it begins to see to the light-receiving field 114 side). At this time, the N-type layer located in the lower part of the N-type silicon layer 118 forms P-model by the thermal diffusion from a surrounding P-type field, and P-model-ized silicon layer 112 surrounded by P-type WERU is formed.

[0010]

Next, the ion implantation and heating annealing treatment of As<sup>+</sup> are performed to the sensor opening 115, and the N-type silicon layer 118 is formed. Thereby, PN junction (photodiode) is formed in the interface of the silicon layer 112 and the N-type silicon layer 118 which were formed into P-model. Finally, the ion implantation and heating annealing treatment of BF<sub>2</sub><sup>+</sup> are performed to the sensor opening 115, and P<sup>+</sup> type silicon layer 119 of the outermost surface is formed.

[0011]

[Processes leading to Invention]

The problem of the photodiode of drawing 9 seen from the position of miniaturized high integration is in existence of the projection portion 116 of P-type surface side WERU 111 made from a width of about 0.1 micrometer from the end of the element separation structure 107 of LOCOS structure at the light-receiving field 114 side ( drawing 9 (b)).

[0012]

If the element separation structure 107 is formed by the thermal oxidation of a substrate, the large border area 120 of distortion will be formed in the circumference of a BAZU beak (bird's beak). In such a border area 120, disclosure of the electric charge resulting from the lattice defect and interface state density of a crystal takes place easily. In order to prevent disclosure of this electric charge, in the photodiode of drawing 9, P-type surface side WERU 111 was made to protrude into the light-receiving field 114 side, it formed so that the border area 120 might be wrapped in, and the border area 120 is isolated from the signal electric charge accumulation field 118.

[0013]

If there is such a projection portion 116, the sensor numerical aperture only the part of whose is the area ratio of the sensor opening 115 occupied in a unit pixel since the sensor opening 115 becomes smaller than the light-receiving field 114 will become small, and it will become the cause that the sensitivity of a photodiode falls. The decline in the sensor numerical aperture by the projection portion 116 becomes large relatively, so that the area of a unit pixel becomes small by the degree-ization of highly minute, and it becomes a serious obstacle when miniaturizing a photodiode.

[0014]

As a method of solving the above problems, this invention person proposed the photo-

electric-conversion equipment in which formation of the element separation structure which carries out element separation of between photodiodes has the structure which does not lead to the fall of the sensitivity of a photodiode easily, and its production method (Patent Application No. 2002-118746).

[0015]

That is, invention (a prior invention is called hereafter) concerning Patent Application No. 2002-118746 is photo-electric-conversion equipment with which the photodiode is formed in each light-receiving field, respectively,

A 1st electric conduction type semiconductor base,

in order to be formed on a semiconductor base and to carry out element separation of between photodiodes -- formation

Element separation structure of coming to embed an insulating film in a \*\*\*\*\* crevice,

The 2nd formed into the semiconductor base so that this might be surrounded in contact with element separation structure

A conducted-current type channel stopper layer,

Half the 1st electric conduction type which was formed in the surface of a light-receiving field and which constitutes a photodiode

Conductor layer,

The 2nd electric conduction type semiconductor layer formed in the lower part in contact with the 1st electric conduction type semiconductor layer

\*\*\*\*\*

It is a light-receiving field in the way position outside a light-receiving field to the end of the element separation structure by the side of a light-receiving field.

The 1st 2nd electric conduction type WERU formed so that picking might surround,

The 2nd 2nd electric conduction type WERU formed in the bottom of a light-receiving field

It is involved in the photo-electric-conversion equipment which \*\*\*\*\* , and its production method.

[0016]

Drawing 2 is the outline sectional view (a) and outline top views (b) of a photodiode part, such as a CMOS (Complementary Metal Oxide Semiconductor) image sensor which is the form of desirable operation of a prior invention. In order to carry out element separation of between photodiodes on the surface of a substrate, the element separation structure 7b of the STI (Shallow Trench Isolation) structure of insulating the light-receiving field 14 of each photodiode electrically is formed.

[0017]

In this example, the N-type silicon substrate 1 is used as a substrate, and the photodiode (PD) is formed of PN junction by the interface of the N-type silicon layer 18 formed in the substrate surface part, and the silicon layer 12 which that lower part formed into P-model. The portion in which the portion surrounded with the element separation structure 7b is hereafter called the light-receiving field 14, among those PN junction is formed will be called the sensor opening 15, and both will be distinguished.

[0018]

If the light which entered into the sensor opening 15 reaches PN connection, it will be changed into a hole and an electron there, and the signal electric charge (electron) according to the quantity of light of incident light is accumulated in the N-type silicon

layer 18 and the silicon layer 12 which the N-type layer formed into P-model further. In addition, it is for P+ type silicon layer 19 of the outermost surface preventing disclosure of the electric charge from the surface.

[0019]

[ the above-mentioned signal electric charge accumulation field which consists of N-type silicon layer 18 grade ] [ P-type surface side WERU 11 formed in the lower part of P+ type channel stopper layer 6 formed in the circumference of the element separation structure 7b, and the element separation structure 7b, the P-type deep well 8 formed in the position where a substrate is deep, and P-type surface side WERU 11 and the P-type deep well 8 ] It is enclosed from the side and the bottom by P-type plug WERU 10 formed in the up-and-down direction for a long time at the lower part of the element separation structure 7b so that it might connect electrically. This dissociates from a circumference element electrically in a substrate, and a signal electric charge does not reveal a signal electric charge accumulation field by it.

[0020]

The boundary of P-type surface side WERU 11 and P-type plug WERU 10, and the layer 12 formed into P-model is formed in the position which retreated 0.2 micrometer seen from the light-receiving field 14 directly under a STI end. This is for making the accumulation capacity of a signal electric charge increase.

[0021]

If drawing 2 (b) is compared with drawing 9 (b), the difference between the photodiode by the form of good better operation of a prior invention and the photodiode of conventional parallel can understand well. In drawing 2 (b), since P+ type channel stopper layer 6 is formed in contact with the STI element separation structure 7b, the P-type layer 116 overflowing into the light-receiving field 114 seen by drawing 9 (b) is unnecessary.

[0022]

Also in the STI element separation structure 7b although the large border area of distortion is formed in the circumference Since P+ type channel stopper layer 6 can be formed in a border area by the ion implantation from a crevice wall surface after formation of a crevice with STI structure, Compared with the P-type layer 116 in LOCOS structure, P+ type channel stopper layer 6 can be made thin, and the thickness is about 0.1 micrometer or less, for example, 30nm.

[0023]

Thus, since [ of the light-receiving field 14 surrounded by the element separation structure 7b ] the whole region can be mostly used as a sensor opening 15, Rather than a part and the former without the size shrink by the projection portion 116 of P-type surface side WERU, the area of the sensor opening 15 becomes large and the sensitivity of a photodiode improves.

[0024]

Moreover, since the STI structure 7b can narrow the width of the insulating material for element separation considerably compared with LOCOS structure 107 grade, it can also reduce the area of the element separation structure itself.

[0025]

As mentioned above, the sensor numerical aperture which is the area ratio of the sensor opening 15 occupied in a unit pixel can be made to be able to increase, and the sensitivity

of a photodiode can be raised.

[0026]

Moreover, since the silicon layer 12 which spread even in the way position outside the light-receiving field 14 and which was formed into P-model is used as a part of signal electric charge accumulation field to directly under [ of the element separation structure 7b / end ], Since a signal electric charge can be accumulated without being saturated even if a lot of signal electric charges at the time of the amount of Taiko are generated, a big dynamic range is realizable.

[0027]

Next, the main point is explained about the production method of the photodiode part of the image sensor of drawing 2 .

[0028]

First, a crevice is formed in the circumference of the light-receiving field 14 by alternative etching. Next, thermal oxidation of the inner wall of a crevice is carried out, and a thin silicon oxide film is formed in a crevice inner wall.

[0029]

Next, before a crevice is fill uped with oxidization silicon, the ion implantation of the BF<sub>2</sub><sup>+</sup> ion is carried out with the angle which inclined from the inner wall of the crevice 30 degrees to the substrate perpendicular direction by acceleration voltage 100keV and 2x10<sup>13</sup>/of injection-rates (surface density) cm<sup>2</sup>. This forms P+ type channel stopper layer 6 in the substrate which touches the side and the bottom of a crevice.

[0030]

Next, after embedding oxidization silicon at a crevice, excessive oxidization silicon etc. is removed and the STI element separation structure 7b is formed.

[0031]

Next, thermal diffusion and annealing treatment by the ion implantation of B<sup>+</sup> by acceleration voltage 2MeV and heating are performed to the whole picture element region including the light-receiving field 14, and the P-type deep well 8 is formed in the position where a substrate is deep. Furthermore, carrying out the mask of a part of light-receiving field 14 and STI element separation structure 7b, thermal diffusion and annealing treatment by the ion implantation of B<sup>+</sup> by acceleration voltage 1.5MeV and 1.0MeV and heating are performed to a picture element region, and P-type plug WERU 10 is formed in it.

[0032]

Next, like the above, carrying out the mask of a part of light-receiving field 14 and STI element separation structure 7b, thermal diffusion and annealing treatment by the ion implantation of B<sup>+</sup> by acceleration voltage 600keV, 380keV, and 190keV and heating are performed, and P-type surface side WERU 11 is formed.

[0033]

It means that the signal electric charge accumulation field of the photodiode of N-type silicon layer 18 grade had been divided from other N-type silicon fields in a substrate by formation of P-type surface side WERU 11. Moreover, P-type surface side WERU 11 is usually formed also in the circumference circuit part outside a picture element region as P-type WERU of the semiconductor circuit element of a circumference circuit.

[0034]

By the thermal diffusion at the time of a series of above-mentioned P-type WERU

formation processes, the N-type layer located in the lower part of the N-type silicon layer 18 forms P-model, and P-model-ized silicon layer 12 surrounded by P-type WERU is formed.

[0035]

Then, the ion implantation and heating annealing treatment of As<sup>+</sup> by acceleration voltage 300keV are performed to the sensor opening 15, and the N-type silicon layer 18 is formed. Thereby, PN junction (photodiode) is formed in the interface of the silicon layer 12 and the N-type silicon layer 18 which were formed into P-model.

[0036]

The ion implantation and heating annealing treatment of BF<sub>2</sub><sup>+</sup> by acceleration voltage 50keV are performed to the light-receiving field 14, and P<sup>+</sup> type silicon layer 19 which prevents disclosure of the signal electric charge from the surface is formed in the last.

[0037]

[Problem to be solved by the invention]

Drawing 1 (b) is the notional outline sectional view of the completed CMOS image sensor. The outline sectional view showing the state of the process which pours in BF<sub>2</sub><sup>+</sup> ion into a substrate from the inner wall of a crevice 4 among the making processes of the above-mentioned photodiode, and forms P<sup>+</sup> channel stopper layer 6 was appended to the upper part of the figure.

[0038]

In this example, the ion implantation to crevice 4 inner wall is performed to all the crevices 4 on a substrate 1, without sorting out a photodiode part so that it may see in this figure. For this reason, P<sup>+</sup> channel stopper layer 6 of the same concentration is formed into the substrate around all the crevices 4 of a substrate 1.

[0039]

However, P<sup>+</sup> layer is not usually formed in the STI side wall of a circumference circuit part. Though formed, the optimal dopant concentration is far small compared with the optimal dopant concentration of P<sup>+</sup> layer in the channel stopper layer of a photodiode part. Since both optimal conditions differ, when P<sup>+</sup> channel stopper layer 6 is formed uniformly as mentioned above, the characteristic of the transistor of a circumference circuit, other elements, or the transistor in a pixel changes, and there is a fear of having a bad influence on the drive of a sensor.

[0040]

Thus, although P<sup>+</sup> channel stopper layer 6 formed based on a prior invention and its formation method were effective in improvement in the sensitivity of a photodiode, they became clear [ that there is room which should improve by a relation with the semiconductor device of the circumference of a photodiode ].

[0041]

This invention is made in view of the above situations, and [ the purpose ] It is offering photo-electric-conversion equipment with the structure formation of the element separation structure which carries out element separation of between photodiodes not leading to the fall of the sensitivity of a photodiode easily, and not having a bad influence on a surrounding semiconductor circuit element, and its production method.

[0042]

[Means for solving problem]

That is, this invention has the photodiode formed in each light-receiving field on a 1st

electric conduction type semiconductor base, and the semiconductor circuit element formed in the field outside said light-receiving field on said semiconductor base, Base which comes to embed an insulating film in the crevice which was formed on said semiconductor base, and was formed in order to carry out element separation of between said photodiode and said semiconductor circuit elements

The Ne separation structure,

The 2nd electric conduction type channel stopper layer formed into said semiconductor base so that said element separation structure which carries out element separation of said photodiode might be touched and this might be surrounded

\*\*\*\*\*

The 1st which was formed in the surface side of said light-receiving field and which constitutes said photodiode

A conducted-current type semiconductor layer,

The 1st 2nd electric conduction type WERU formed to the end of said element separation structure by the side of said light-receiving field so that said light-receiving field might be surrounded outside said light-receiving field in a way position,

The 2nd 2nd electric conduction type WERU formed in the bottom of said light-receiving field,

The 3rd 2nd electric conduction type WERU which connects said 1st and 2nd WERU

It is photo-electric-conversion equipment which \*\*\*\*\*,

It is said CHANE in the position which is the circumference of said light-receiving field in said 1st WERU which encloses this in contact with said element separation structure, and it is between said semiconductor circuit elements.

The RUSUTOPPA layer is carrying out the end.

It is involved in photo-electric-conversion equipment.

[0043]

Moreover, it is the production method of the photo-electric-conversion equipment which this invention forms a photodiode in each light-receiving field on a 1st electric conduction type semiconductor base, and forms a semiconductor circuit element in the field outside said light-receiving field on said semiconductor base,

On said semiconductor base, the crevice for carrying out element separation of between said photodiode and said semiconductor circuit elements is formed, an insulating film is embedded in this crevice, and it is element separation.

The process which forms structure,

The process which forms a 2nd electric conduction type channel stopper layer into said semiconductor base so that this may be surrounded in contact with said element separation structure which carries out element separation of said photodiode,

Half the 1st electric conduction type which constitutes said photodiode in the surface side of said light-receiving field

The process which forms a conductor layer,

To the end of said element separation structure by the side of said light-receiving field, it is formation \*\*\*\*\* about the 1st 2nd electric conduction type WERU so that said light-receiving field may be surrounded outside said light-receiving field in a way position.

Degree,

The process which forms the 2nd 2nd electric conduction type WERU in the bottom of said light-receiving field

The 3rd 2nd electric conduction type WERU which connects said 1st and 2nd WERU is formed.

Process

It is the production method of the photo-electric-conversion equipment which \*\*\*\*\*,

In said 1st WERU which encloses this in contact with said element separation structure, the end is carried out in the position which is the circumference of said light-receiving field and it is between said semiconductor circuit elements.

said channel stopper layer is formed for obtaining

It is involved in the production method of photo-electric-conversion equipment.

[0044]

[ according to this invention, the large border area of distortion is formed in the circumference also in said element separation structure, but ] Since a said 2nd electric conduction type channel stopper layer can be formed in said border area by impurities doping from said crevice after formation of said crevice, A channel stopper layer can be made thin, the sensor numerical aperture which is the area ratio of the sensor opening occupied in a unit pixel can be made to be able to increase as compared with LOCOS structure, and the sensitivity of a photodiode can be raised.

[0045]

Moreover, since the end of said channel stopper layer is carried out in the position which is the circumference of said light-receiving field and it is between said semiconductor circuit elements, formation of said channel stopper layer does not have a bad influence on said semiconductor circuit element.

[0046]

[Mode for carrying out the invention]

In this invention, it is good to prepare said element separation structure in the circumference of said light-receiving field at least.

[0047]

It is good that said element separation structure is STI (Shallow Trench Isolation) structure. Since said STI structure can narrow the width of the insulating material for element separation considerably compared with LOCOS structure etc., it can also reduce the area of said element separation structure itself.

[0048]

[ carrying out the mask of except for said photodiode part in the circumference of a photodiode part in this invention, before performing embedding of said insulating film to said crevice after forming said crevice ] By carrying out ion implantation from the wall surface of said crevice of a photodiode part, it is good to form said channel stopper layer of a photodiode part.

[0049]

Moreover, said element separation structure may be established also between said photodiode of said light-receiving field, and said semiconductor circuit element of the non-light sensing portion of this circumference, and/or between the half-aforementioned conductor circuit element of said non-light sensing portion, and said semiconductor circuit element of a circumference circuit part.

[0050]

In that case, said 1st WERU is formed also in the formation area of said semiconductor circuit element of said non-light sensing portion, and/or said semiconductor circuit

element of said circumference circuit part, and said element separation structure around said semiconductor circuit element is touched. It is good to form the channel stopper layer rather than the channel stopper layer of said photodiode part at low concentration also into the 1st [ said ] WERU which encloses these.

[0051]

By forming separately from the channel stopper layer of said photodiode part the channel stopper layer of said semiconductor circuit element part, a channel stopper layer with the optimal impurities concentration for each can be formed.

[0052]

In this invention before performing embedding of said insulating film to said crevice after forming said crevice By carrying out ion implantation from the wall surface of said crevice, it is good to form said channel stopper layer of said semiconductor circuit element part, carrying out the mask of the semiconductor circuit element part of the semiconductor circuit element part of a photodiode part and said non-light sensing portion, and/or said circumference circuit part.

[0053]

Moreover, it is good to face forming said element separation structure and to embed the insulating material for element separation by a vapor phase epitaxy method at said crevice.

[0054]

It is good to form said 1st, 2nd, and 3rd WERU by ion implantation. According to ion implantation, the dopant of the concentration of a request can be doped with sufficient accuracy in a predetermined position. For this reason, WERU can be formed in the impossible depths of said semiconductor base, for example by a thermal diffusion method.

[0055]

It is good to manufacture a solid state image sensor based on this invention.

[0056]

The form of desirable operation of this invention is hereafter explained concretely under Drawings reference.

[0057]

The form 1 of operation: CMOS image sensor (1)

Drawing 2 is the outline sectional view (a) and outline top view (b) of a photodiode part of a CMOS (Complementary Metal Oxide Semiconductor) image sensor which are the form of desirable operation of this invention. In order to carry out element separation of between photodiodes on the surface of a substrate, the element separation structure 7b of the STI (Shallow Trench Isolation) structure of insulating the light-receiving field 14 of each photodiode electrically is formed.

[0058]

In this example, the N-type silicon substrate 1 is used as a substrate, and the N-type silicon layer 18 of the substrate upper part and the silicon layer 12 which that lower part formed into P-model form the photodiode by PN junction according to that interface.

[0059]

If the light which entered into the sensor opening 15 of the light-receiving field 14 reaches PN connection, it will be changed into a hole and an electron there, and the signal electric charge (electron) according to the quantity of light of incident light is

accumulated in the N-type silicon layer 18 and the silicon layer 12 which the N-type layer formed into P-model further. In addition, P+ type silicon layer 19 of the outermost surface prevents disclosure of the electric charge from the surface.

[0060]

[ the signal electric charge accumulation field which consists of an N-type silicon layer 18 ] [ P-type surface side WERU 11 formed in the lower part of P+ type channel stopper layer 6 formed in the circumference of the element separation structure 7b, and the element separation structure 7b, the P-type deep well 8 formed in the position where a substrate is deep, and P-type surface side WERU 11 and the P-type deep well 8 ] It is enclosed from the side and the bottom by P-type plug WERU 10 formed in the up-and-down direction for a long time at the lower part of the element separation structure 7b so that it might connect electrically. This dissociates from a circumference element electrically in a substrate, and a signal electric charge does not reveal the N-type signal electric charge accumulation field 18 by it.

[0061]

The boundary of P-type surface side WERU 11 and P-type plug WERU 10, and the layer 12 formed into P-model is formed in the position which retreated 0.2 micrometer seen from the light-receiving field 14 directly under a STI end. This is for making the accumulation capacity of a signal electric charge increase.

[0062]

Since the structure of the above-mentioned photodiode is the same as that of the photodiode based on a prior invention, it cannot be overemphasized that it has the same effect.

[0063]

That is, since P+ type channel stopper layer 6 is formed in contact with the STI element separation structure 7b, the P-type layer 116 overflowing into the light-receiving field 114 seen by drawing 9 (b) is unnecessary.

[0064]

Also in the STI element separation structure 7b although the large border area of distortion is formed in the circumference Since P+ type channel stopper layer 6 can be formed in a border area by the ion implantation from a crevice wall surface after formation of a crevice with STI structure, Compared with the P-type layer 116 in LOCOS structure, P+ type channel stopper layer 6 can be made thin, and the thickness is about 0.1 micrometer or less, for example, 30nm.

[0065]

Thus, since [ of the light-receiving field 14 surrounded by the element separation structure 7b ] the whole region can be mostly used as a sensor opening 15, the area of the sensor opening 15 becomes large conventionally, and the sensitivity of a photodiode improves.

[0066]

Moreover, since the STI structure 7b can narrow the width of the insulating material for element separation considerably compared with LOCOS structure 107 grade, it can also reduce the area of the element separation structure itself.

[0067]

As mentioned above, the sensor numerical aperture which is the area ratio of the sensor opening occupied in a unit pixel can be made to be able to increase, and the sensitivity of

a photodiode can be raised.

[0068]

Moreover, since the silicon layer 12 which spread even in the way position outside the light-receiving field 14 and which was formed into P-model is used as a part of signal electric charge accumulation field to directly under [ of the element separation structure 7b / end ], Since a signal electric charge can be accumulated without being saturated even if a lot of signal electric charges at the time of the amount of Taiko are generated, a big dynamic range is realizable.

[0069]

Drawing 3 is the outline block diagram showing the composition of the CMOS image sensor which has arranged the above-mentioned photodiode to two-dimensional matrix form on a substrate. With this equipment, a line and a sequence are chosen with the perpendicular direction scanner 32 and the horizontal scanner 34, respectively, and the signal electric charge of the photodiode of the pixel 31 on that intersection is read.

[0070]

Namely, if the transistor 33 for read-out of a certain line is chosen by the control signal from the perpendicular direction scanner 32, it will be in ON state, it reads to each sequence with the horizontal scanner 34 simultaneously and a signal is added one by one. The output from the pixel 31 on the intersection is led to the input part of the current voltage conversion circuit 35, and it is changed and outputted to voltage by the current voltage conversion circuit 35 and the output buffer circuit 36.

[0071]

All the pixels 31 are scanned 1 time respectively one by one among one cycle of the perpendicular direction scanner 32, and while the output according to the signal electric charge accumulated in the photodiode of each pixel 31 among one cycle is read, after read-out, a photodiode has an electric charge eliminated and is reset by the initial state. In this way, the picture signal photo electric conversion was carried out [ the picture signal ] by the photodiode arranged at two-dimensional matrix form is outputted by time sharing.

[0072]

Each pixel 31 of drawing 3 is formed in the picture element region 37 on a substrate, and the perpendicular direction scanner 32, the transistor 33 for read-out, the horizontal scanner 34, the current voltage conversion circuit 35, and the circumference circuit of output buffer circuit 36 grade are formed in the circumference circuit part 38 which adjoined the picture element region 37.

[0073]

Drawing 4 is the top view showing the arrangement in the picture element region 37.

Drawing 4 (a) is the general drawing showing the state where many pixels 31 are arranged at two-dimensional matrix form, and drawing 4 (b) is the top view showing arrangement within one pixel 31. In drawing 4, only the N-type diffusion zone 18 formed in the upper part of a P-type silicon layer, 43 grades and the gate layers 42, 45, and 48, contacts 41, 44, and 47, and 49 grades are shown, and the upper wiring is omitting illustration. A gate layer is formed with polycrystalline silicon and the lower part is a P-type layer.

[0074]

As drawing 2 explained, the N-type silicon layer 18 shown in drawing 4 (b) forms the photodiode by PN junction by an interface with the silicon layer 12 which the lower part

formed into P-model, and generates the signal electric charge (electron) according to the quantity of light of incident light. The signal electric charge (electron) is accumulated in the signal electric charge accumulation field which is mainly concerned with the N-type field 18 between one cycle.

[0075]

The read-out signal from the horizontal scanner 34 of drawing 3 is added to the transmission gate 42 through the contact 41 of drawing 4 . If the channel layer under the transmission gate 42 will be in switch-on in an operation of a read-out signal, the signal electric charge (electron) accumulated in the signal electric charge accumulation field of the N-type silicon layer 18 grade will be transmitted to the N-type buffer layer 43 currently formed in the non-light sensing portion in a pixel, and will generate the signal voltage according to signal charge quantity.

[0076]

This signal voltage is impressed to the gate 45 of the transistor for amplification through contact 44, and is read as change of current which flows through the transistor 46 for amplification. The output current of the transistor 46 for amplification is led to the transistor 33 for read-out of drawing 3 , and as mentioned above, it is changed and outputted to voltage.

[0077]

After read-out is completed, a reset signal is impressed to the reset gate 48 through contact 47, the signal electric charge currently stored by the N-type buffer layer 43 is eliminated through contact 49, and a photodiode is reset by the initial state.

[0078]

As mentioned above, while the photodiode formed in the light sensing portion and the various semiconductor circuit elements formed in the non-light sensing portion are contained and carrying out element separation of the pixels, it is required for one pixel to carry out element separation of between each element within 1 pixel.

[0079]

The spread of the N-type silicon layer 18 of drawing 4 is equivalent to the sensor opening 15 ( drawing 2 ). Therefore, the end 50A by the side of a light-receiving field of P+ channel stopper layer 6 formed in contact with the STI element separation structure of a photodiode part is in the perimeter part (solid line) of the N-type silicon layer 18. Another end 50B is located in the position shown with a dashed line, and the end is carried out between the formation areas of the transistor 46 for amplification of a non-light sensing portion.

[0080]

Drawing 1 (a) is the notional outline sectional view which connected the sectional view which cut the circumference circuit part for the CMOS image sensor first, then cut the non-light sensing portion (for example, A-B of drawing 4 (b)) of the pixel, then cut the light sensing portion (for example, B-C of drawing 4 (b)) of the pixel, and was obtained.

[0081]

The outline sectional view showing the state of the process which pours in BF<sub>2</sub><sup>+</sup> ion into a substrate from the inner wall of the crevice of a light sensing portion among the making processes of a CMOS image sensor mentioned later, and forms P+ channel stopper layer 6 was appended to the upper part of drawing 1 (a).

[0082]

Since it faced pouring in BF<sub>2</sub><sup>+</sup> ion and the semiconductor circuit element part of the semiconductor circuit element part of a non-light sensing portion or a circumference circuit part is covered with the mask 30 so that it may see in this figure, P<sup>+</sup> channel stopper layer 6 is formed only under the STI element separation structure of a photodiode part, and the end is carried out in the mid-position 50B of STI element separation structure with the semiconductor circuit element part of a picture element region non-light sensing portion, and it is not extended to the semiconductor circuit element part. Therefore, there is no fear of having a bad influence on the transistor 51 (transistor 46 grade for amplification) in a pixel or the transistor 52 of the circumference circuit part 38, or other elements.

[0083]

Although forming only in a light sensing portion is also possible, as for the P-type deep well 8 and P-type plug WERU 10, it is usually desirable to be formed in the whole picture element region from a light sensing portion to a non-light sensing portion. This is for preventing disclosure of a signal electric charge more effectively.

[0084]

Moreover, P-type surface side WERU 11 is usually formed simultaneously with P-type WERU of the semiconductor circuit element formed in a circumference circuit part and a non-light sensing portion, although forming only in a light sensing portion is also possible. This is also for forming an image sensor efficiently while preventing disclosure of a signal electric charge more effectively.

[0085]

The transistors 51 and 52 formed in a circumference circuit part and a non-light sensing portion have a desirable thing with LDD (Lightly Doped Drain-source) structure. Thereby, a drain electric field is eased and electric strength nature improves.

[0086]

The form 2 of operation: Production of a CMOS image sensor (1)

Drawing 5 - 7 are the outline sectional views showing the process which produces the CMOS image sensor (1) shown with the form 1 of operation with the production method of the photo-electric-conversion equipment by the form of desirable operation of this invention in order of a process.

[0087]

Process 1

First, after laminating and forming the silicon oxide film 2 and the nitriding silicone film 3 on the surface of the N-type semiconductor board 1 by the CVD (Chemical Vapor Deposition) method etc. like drawing 5 (a), These films 2 and 3 are patterned after the form corresponding to the pattern of the crevice 4 of the STI structure 7b.

[0088]

Process 2

Next, etching removal of the silicon is carried out by dry etching (reactant ion etching) etc. like drawing 5 (b) by using the silicon oxide film 2 and the nitriding silicone film 3 as a mask, and a crevice 4 is formed.

[0089]

Process 3

Next, like drawing 5 (c), thermal oxidation of the inner wall of a crevice 4 is carried out, and the thin silicon oxide film 5 is formed in crevice 4 inner wall.

[0090]

#### Process 4

Next, [ covering a circumference circuit part and a non-light sensing portion with a mask 30 like drawing 5 (d), before a crevice 4 is filled up with oxidization silicon ] The ion implantation of the BF<sub>2</sub><sup>+</sup> ion is carried out from the inner wall of a crevice 4 with the angle which inclined 30 degrees from the substrate perpendicular direction by acceleration voltage 100keV and 2x10<sup>13</sup>/of injection-rates (surface density) cm<sup>2</sup>, and P+ type channel stopper layer 6 is formed.

[0091]

At this time, as drawing 1 (a) also explained, P+ type channel stopper layer 6 does not have a bad influence on the semiconductor circuit element which is formed only in a light sensing portion and formed in the circumference circuit part 38 and a non-light sensing portion.

[0092]

#### Process 5

Next, like drawing 6 (e), oxidization silicon 7a is made to deposit by the CVD (Chemical Vapor Deposition) method etc., and oxidization silicon 7a is embedded in the trench slot 4.

[0093]

#### Process 6

Next, like drawing 6 (f), the surface is ground by the CMP (Chemical Mechanical Polishing) method etc., excessive oxidization silicon, the nitriding silicone film 3, and the silicon oxide film 2 are removed one by one, and the STI element separation structure 7b is completed.

[0094]

#### Process 7

Next, [ covering the circumference circuit part 38 with a mask 21 ] like drawing 6 (g) The thermal diffusion and annealing treatment by heating are continuously carried out the ion implantation of the B<sup>+</sup> ion and performed to the picture element region 37 whole including the light-receiving field 14 by acceleration voltage 2MeV and 5x10<sup>11</sup>/of injection-rates (surface density) cm<sup>2</sup>, and the P-type deep well 8 is formed in the position where a substrate is deep.

[0095]

#### Process 8

Next, [ covering a part of the circumference circuit part 38 and light-receiving field 14 and STI element separation structure 7b with a mask 9 ] like drawing 6 (h) Under the STI structure 7b, the ion implantation of the B<sup>+</sup> ion is carried out by acceleration voltage 1.5MeV and injection-rate (surface density) 8x10<sup>11</sup>/cm<sup>2</sup> and acceleration voltage 1.0MeV, and 3x10<sup>12</sup>/of surface density cm<sup>2</sup>, the thermal diffusion and annealing treatment by heating are performed continuously, and P-type plug WERU 10 is formed.

[0096]

Although forming only in a light sensing portion is also possible, as for the P-type deep well 8 and P-type plug WERU 10, it is usually desirable to be formed in the picture element region 37 whole from a light sensing portion to a non-light sensing portion. This is for preventing disclosure of a signal electric charge more effectively.

[0097]

#### Process 9

Next, [ covering a part of light-receiving field 14 and STI element separation structure 7b with a mask 32 ] like drawing 7 (i) Acceleration voltage 600keV and injection-rate (surface density)  $3 \times 10^{12}$  /cm<sup>2</sup>; Acceleration voltage 380keV, The ion implantation of the B<sup>+</sup> ion is carried out by surface density  $3 \times 10^{12}$  /cm<sup>2</sup>; and acceleration voltage 190keV, and  $6 \times 10^{12}$  /of injection-rates (surface density) cm<sup>2</sup>, the thermal diffusion and annealing treatment by heating are performed continuously, and P-type surface side WERU 11 is formed.

[0098]

It means that the N-type silicon layer of the light-receiving field 14 had been divided by P-type surface side WERU 11 from other N-type silicon fields. P-type surface side WERU 11 is usually formed simultaneously with P-type WERU of the semiconductor circuit element formed in the circumference circuit part 38 and a non-light sensing portion, although forming only in a light sensing portion is also possible. This is also for forming an image sensor efficiently while preventing disclosure of a signal electric charge more effectively.

[0099]

Moreover, P which the N-type silicon layer formed P-model and was surrounded by P-type WERU by the thermal diffusion at the time of WERU formation - The silicon layer 12 which carried out type is formed.

[0100]

#### Process 10

Next, like drawing 7 (j), carrying out the mask of the portions other than sensor opening 15, heating annealing treatment is continuously carried out the ion implantation of the As<sup>+</sup> ion and performed to the sensor opening 15 by acceleration voltage 300keV and  $2 \times 10^{12}$  /of injection-rates (surface density) cm<sup>2</sup>, and the N-type silicon layer 18 is formed. Now, PN junction (photodiode) is formed in the interface of the P-type silicon layer 12 and the N-type silicon layer 18. Therefore, as shown in drawing 2 (b), the field surrounded in P<sup>+</sup> type channel stopper layer 6 on the top view serves as the sensor opening 15.

[0101]

#### Process 11

Next, like drawing 4 (k), carrying out the mask of the portions other than light sensing portion 14, the ion implantation of the BF<sub>2</sub><sup>+</sup> ion is carried out by acceleration voltage 50keV and  $1 \times 10^{13}$  /of surface density cm<sup>2</sup>, heating annealing treatment is performed continuously, and P<sup>+</sup> type silicon layer 19 is formed.

[0102]

#### Process 12

After forming an oxide film in the substrate surface of the field of a request of a circumference circuit part and a non-light sensing portion by thermal oxidation, semiconductor circuit elements, such as the non-light sensing portion transistor 51 and the circumference circuit part transistor 52, are formed in the last by a well-known method.

[0103]

The form 3 of operation: A CMOS image sensor (2) and its production

Drawing 8 (a) is the notional outline sectional view of the CMOS image sensor (2) which

is the modification of the form 1 of operation. It was added as a making process 4a, BF<sub>2</sub><sup>+</sup> ion was poured in into the substrate from the crevice inner wall of the circumference circuit part 38 and the non-light sensing portion, and the outline sectional view showing the state of the process which forms P<sup>+</sup> channel stopper layer 6a was appended to the upper part of the figure.

[0104]

It is a process 4 ([ covering the circumference circuit part 38 and a non-light sensing portion with a mask 30 ]) about the making process shown in the form 2 of operation in this modification. The ion implantation of the BF<sub>2</sub><sup>+</sup> ion is carried out from the inner wall of a crevice 4 with the angle which inclined 30 degrees from the substrate perpendicular direction by acceleration voltage 100keV and  $2 \times 10^{13}$ /of injection-rates (surface density) cm<sup>2</sup>. It changes so that it may carry out by adding the following process 4a after the process which forms P<sup>+</sup> type channel stopper layer 6 only in a light sensing portion.

[0105]

Process 4a

As shown in the drawing 8 (a) attached chart, with the angle which inclined 30 degrees from a substrate perpendicular direction, covering a light sensing portion with Mask 30a Acceleration voltage 100keV, The ion implantation of the BF<sub>2</sub><sup>+</sup> ion is carried out from the inner wall of a crevice 4 by  $1 \times 10^{13}$ /of injection-rates (surface density) cm<sup>2</sup>, and P<sup>+</sup> type channel stopper layer 6a is formed in the circumference circuit part 38 and a non-light sensing portion.

[0106]

Thereby, P<sup>+</sup> type channel stopper layer 6a of concentration smaller than P<sup>+</sup> type channel stopper layer 6 of a light sensing portion is formed in the circumference circuit part 38 and a non-light sensing portion. This concentration can be made into the optimal concentration which does not have a bad influence on the semiconductor circuit element formed in this field.

[0107]

If it removes that P<sup>+</sup> type channel stopper layer 6a is added, since there will not be the form 1 of operation and a changing place, it cannot be overemphasized that the effect mentioned above with the form 1 of operation is acquired also in the form 3 of operation.

[0108]

The form 4 of operation: A CMOS image sensor (3) and its production

Drawing 8 (b) is the notional outline sectional view of the CMOS image sensor (3) which is the modification of the form 1 of operation of this. It was added as a making process 4b, BF<sub>2</sub><sup>+</sup> ion was poured in into the substrate from the crevice inner wall of the non-light sensing portion, and the outline sectional view showing the state of the process which forms P<sup>+</sup> channel stopper layer 6b was appended to the upper part of the figure.

[0109]

It is a process 4 ([ covering the circumference circuit part 38 and a light sensing portion with a mask 30 ]) about the making process shown in the form 2 of operation in this modification. The ion implantation of the BF<sub>2</sub><sup>+</sup> ion is carried out from the inner wall of a crevice 4 with the angle which inclined 30 degrees from the substrate perpendicular direction by acceleration voltage 100keV and  $2 \times 10^{13}$ /of injection-rates (surface density) cm<sup>2</sup>. It changes so that it may carry out by adding the following process 4b after the process which forms P<sup>+</sup> type channel stopper layer 6 only in a light sensing portion.

[0110]

Process 4b

[ covering the circumference circuit part 38 and a light sensing portion with Mask 30b ] as shown in the drawing 8 (b) attached chart The ion implantation of the BF<sub>2</sub><sup>+</sup> ion is carried out from the inner wall of a crevice 4 with the angle which inclined 30 degrees from the substrate perpendicular direction by acceleration voltage 100keV and 1x10<sup>13</sup>/of injection-rates (surface density) cm<sup>2</sup>, and P<sup>+</sup> type channel stopper layer 6b is formed in a non-light sensing portion.

[0111]

Thereby, P<sup>+</sup> type channel stopper layer 6b of concentration smaller than P<sup>+</sup> type channel stopper layer 6 of a light sensing portion is formed only in a non-light sensing portion. This concentration can be made into the optimal concentration which does not have a bad influence on the semiconductor circuit element formed in this field.

[0112]

Usually, since the element separation structure of a non-light sensing portion touches P-type WERU, the effect of being easy to happen and forming P<sup>+</sup> type channel stopper layer 6b in a non-light sensing portion has a high disclosure of an electric charge. Moreover, it is effective in the ability to adjust the threshold voltage V<sub>TH</sub> and the current characteristic I<sub>D</sub> of a transistor to a desirable value by ion implantation.

[0113]

If it removes that P<sup>+</sup> type channel stopper layer 6b is added, since there will not be the form 1 of operation and a changing place, it cannot be overemphasized that the effect mentioned above with the form 1 of operation is acquired also in the form 4 of operation.

[0114]

As mentioned above, although this invention was explained based on the form of operation, it cannot be overemphasized that it can change suitably in the range which this invention is not limited to these examples at all, and does not deviate from the main point of invention.

[0115]

For example, you may perform the ion implantation of above-mentioned WERU formation before formation of the element separation structure by STI. Moreover, you may make reverse conducted type of each above-mentioned semiconductor field of current. Moreover, you may perform element separation of the circumference circuit part 38 by methods other than STI structure.

[0116]

[Function and Effect of the Invention]

Since according to this invention a 2nd electric conduction type channel stopper layer can be formed in a border area by impurities doping from a crevice after formation of a crevice even if the large border area of distortion is formed in the circumference of element separation structure, A channel stopper layer can be made thin, the sensor numerical aperture which is the area ratio of the sensor opening occupied in a unit pixel can be made to be able to increase as compared with LOCOS structure, and the sensitivity of a photodiode can be raised.

[0117]

Moreover, especially, since the STI structure can narrow the width of the insulation material for element separation considerably compared with LOCOS structure etc., it can

also reduce the area of the element separation structure itself.

[0118]

As mentioned above, the sensor numerical aperture which is the area ratio of the sensor opening occupied in a unit pixel can be made to be able to increase, and the sensitivity of a photodiode can be raised.

[0119]

Moreover, since the end of the channel stopper layer is carried out in the position which is the circumference of a light-receiving field and it is between semiconductor circuit elements, formation of a channel stopper layer does not have a bad influence on a semiconductor circuit element.

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view of the CMOS image sensor which is the form of desirable operation of this invention and a prior invention.

[Drawing 2] It is the outline sectional view (a) and outline top view (b) of a photodiode part of a CMOS image sensor which are the form of desirable operation of a prior invention and this invention.

[Drawing 3] It is the block diagram of the CMOS image sensor based on the form of operation of this invention.

[Drawing 4] It is the top view showing arrangement of a \*\*\*\* picture element region.

[Drawing 5] It is the outline sectional view showing the making process of a \*\*\*\* CMOS image sensor.

[Drawing 6] It is the outline sectional view showing the making process of a \*\*\*\* CMOS image sensor.

[Drawing 7] It is the outline sectional view showing the making process of a \*\*\*\* CMOS image sensor.

[Drawing 8] It is the outline sectional view of the CMOS image sensor which is the form of other desirable operations of \*\*\*\*\*.

[Drawing 9] It is the conventional outline sectional view (a) and conventional outline top view (b) of a photodiode part of an image sensor.

[Explanations of letters or numerals]

1 [ -- Crevice, ] -- An N-type semiconductor board, 2 -- A silicon oxide film, 3 -- A nitriding silicone film, 4

5 -- A silicon oxide film, 6 -- P+ type channel stopper layer, 7a -- Oxidization silicon,

7b -- Element separation structure (STI structure), 8 -- A P-type deep well, 9 -- Mask,

10 -- P-type plug WERU, 11 -- P-type surface side WERU,

The silicon layer, 13 which were formed into the 12 --P-model -- A mask, 14 -- Light-receiving field,

15 -- A sensor opening, 18 -- An N-type silicon layer, 19 -- P+ type silicon layer,

20, 21, 30, 30a, 30b -- A mask, 31 -- Pixel,

32 -- A perpendicular direction scanner, 33 -- Transistor for read-out,

34 -- A horizontal scanner, 35 -- A current voltage conversion circuit, 36 -- Output buffer circuit,

37 [ -- Transmission gate, ] -- A picture element region, 38 -- A circumference circuit part, 41 -- Contact, 42

43 -- An N-type buffer layer, 44 -- Contact,

45 -- The gate of the transistor for amplification, 46 -- Transistor for amplification,

47 -- Contact, 48 -- A reset gate, 49 -- Contact,  
The light-receiving field side edge part of a 50 A--P+ type channel stopper layer,  
Another end of a 50 B--P+ type channel stopper layer,  
51 -- A non-light sensing portion transistor, 52 -- Circumference circuit part transistor,  
101 -- An N-type semiconductor board, 102 -- Silicon oxide film  
107 -- Element separation structure (LOCOS structure), 108 -- P-type deep well,  
110 -- P-type plug WERU, 111 -- P-type surface side WERU,  
The silicon layer, 114 which were formed into the 112 --P-model -- A light-receiving  
field, 115 -- Sensor opening,  
116 -- The projection portion of P-type surface side WERU, 118 -- N-type silicon layer,  
119 -- P+ type silicon layer, 120 -- Large border area of distortion

---

[Translation done.]

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-039832

(43)Date of publication of application : 05.02.2004

(51)Int.Cl.

H01L 31/10  
H01L 27/146  
H04N 5/335

(21)Application number : 2002-194251

(71)Applicant : SONY CORP

(22)Date of filing : 03.07.2002

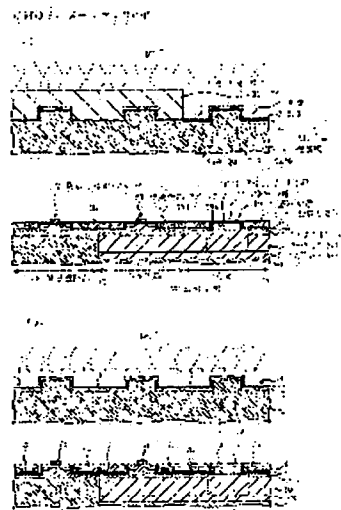
(72)Inventor : TAKAGI YOSHIKO

## (54) PHOTOELECTRIC CONVERTER AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a photoelectric converter having an element isolating structure for isolating photodiodes from each other which hardly causes the deterioration of the sensitivity of a photodiode and does not have an adverse influence on peripheral semiconductor elements, and to provide its manufacturing method.

**SOLUTION:** The element isolating structure for isolating the photodiodes from each other, such as an STI structure 7b, is formed by a method not using the thermal oxidation of a substrate, and a second conductive type channel stopper layer 6 is formed so as to have contact with and surround the element isolating structure 7b in the first conductive type semiconductor substrate 1. Then, a first conductive type semiconductor layer 18 is formed as a signal charge storage region of the photodiode, and the layer 18 is surrounded by second conductive type wells 8, 10 and 11 so as to be isolated from other regions of the substrate 1. The channel stopper layer 6 is terminated at a specified position around a light receiving region between the receiving region and a semiconductor circuit element 41.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-39832

(P2004-39832A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.<sup>7</sup>

F1

テーマコード(参考)

H01L 31/10

H01L 31/10

A

4M118

H01L 27/146

H04N 5/335

E

5C024

H04N 5/335

H04N 5/335

U

5F049

H01L 27/14

A

審査請求 未請求 請求項の数 16 O L (全 19 頁)

(21) 出願番号

特願2002-194251(P2002-194251)

(22) 出願日

平成14年7月3日(2002.7.3)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100076059

弁理士 逢坂 宏

(72) 発明者 高木 賢子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 4M118 AB01 BA14 CA02 CA03 CA32

EA03 EA07 EA14 FA26 FA27

FA28

5C024 CX41 CY47 GX03 GY31

5F049 MA02 MB02 NA17 NA19 NB03

PA10 PA11 RA03 RA08 SS03

UA01 UA14 UA20

(54) 【発明の名称】 光電変換装置及びその製造方法

(57) 【要約】

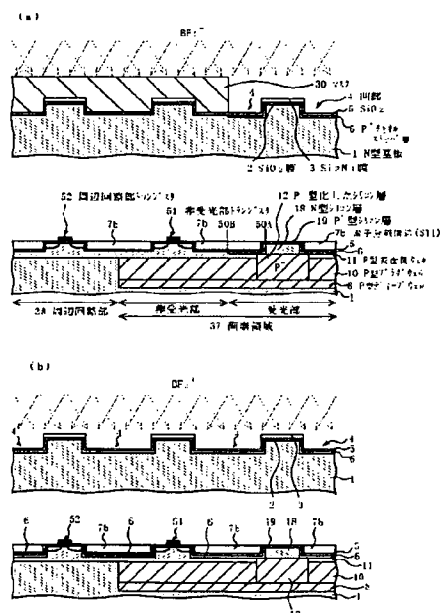
【課題】 フォトダイオード間を素子分離する素子分離構造の形成が、フォトダイオードの感度の低下につながりやすく、且つ周囲の半導体素子に悪影響を及ぼさない構造をもつ光電変換装置及びその製造方法を提供すること。

【解決手段】 フォトダイオード間を素子分離する素子分離構造、例えばSTI構造7bを基板の熱酸化によらない方法で形成し、素子分離構造7bに接してこれを取り囲む第1導電型の半導体基板1中に第2導電型のチャネルストップ層6を形成する。さらに、フォトダイオードの信号電荷蓄積領域として第1導電型の半導体層18を形成し、この周囲を第2導電型のウェル8、10、11で取り囲み、基板1の他の領域から分離する。このとき、チャネルストップ層6は、受光領域の周囲であって、半導体回路素子41との間である位置にて終焉させる。

【選択図】

図1

CMOSイメージセンサの例



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体基体上の各受光領域に形成されたフォトダイオードと、前記半導体基体上の前記受光領域外の領域に形成された半導体回路素子とを有し、前記半導体基体上に形成され、前記フォトダイオード及び前記半導体回路素子の間を素子分離するために形成された凹部内に絶縁膜が埋め込まれてなる素子分離構造と、

前記フォトダイオードを素子分離する前記素子分離構造に接して、これを取り囲むように前記半導体基体中に形成された第 2 導電型のチャンネルストップ層と、

前記受光領域の表面側に形成された、前記フォトダイオードを構成する第 1

導電型の半導体層と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように形成された第 2 導電型の第 1 のウェルと、

前記受光領域の底部に形成された第 2 導電型の第 2 のウェルと、

前記第 1 及び第 2 のウェルを接続する第 2 導電型の第 3 のウェルと

を有する光電変換装置であって、

前記素子分離構造に接してこれを取り囲む前記第 1 のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置にて前記チャンネルストップ層が終焉している

光電変換装置。

## 【請求項 2】

前記素子分離構造が、少なくとも前記受光領域の周囲に設けられている、請求項 1 に記載した光電変換装置。

## 【請求項 3】

前記素子分離構造が、前記受光領域の前記フォトダイオードとこの周囲の非受光部の前記半導体回路素子との間、及び／又は、前記非受光部の前記半導体回路素子と周辺回路部の前記半導体回路素子との間にも設けられている、請求項 2 に記載した光電変換装置。

## 【請求項 4】

前記非受光部の前記半導体回路素子及び／又は前記周辺回路部の前記半導体回路素子の形成領域にも前記第 1 のウェルが形成され、前記半導体回路素子周囲の前記素子分離構造に接して、これらを取り囲む前記第 1 のウェル中にも、前記チャンネルストップ層よりも低濃度にチャンネルストップ層が形成されている、請求項 3 に記載した光電変換装置。

## 【請求項 5】

前記素子分離構造が STI (Shallow Trench Isolation) 構造である、請求項 1 に記載した光電変換装置。

## 【請求項 6】

前記光電変換装置が固体撮像装置である、請求項 1 に記載した光電変換装置。

## 【請求項 7】

第 1 導電型の半導体基体上の各受光領域にフォトダイオードを形成し、前記半導体基体上の前記受光領域外の領域に半導体回路素子を形成する光電変換装置の製造方法であって、前記半導体基体上に、前記フォトダイオード及び前記半導体回路素子の間を素子分離するための凹部を形成し、この凹部内に絶縁膜を埋め込んで素子分離構造を形成する工程と、

前記フォトダイオードを素子分離する前記素子分離構造に接してこれを取り囲むように、前記半導体基体中に第 2 導電型のチャンネルストップ層を形成する工程と、

前記受光領域の表面側に、前記フォトダイオードを構成する第 1 導電型の半導体層を形成する工程と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように、第 2 導電型の第 1 のウェルを形成する工

10

20

30

40

50

程と、

前記受光領域の底部に第2導電型の第2のウェルを形成する工程と

前記第1及び第2のウェルを接続する第2導電型の第3のウェルを形成する工程と

を有する光電変換装置の製造方法であって、

前記素子分離構造に接してこれを取り囲む前記第1のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置で終焉させるように前記チャンネルストップ層を形成する

光電変換装置の製造方法。

【請求項8】

前記素子分離構造を、少なくとも前記受光領域の周囲に設ける、請求項7に記載した光電変換装置。

【請求項9】

前記素子分離構造を、前記受光領域の前記フォトダイオードとこの周囲の非受光部の前記半導体回路素子との間、及び／又は前記非受光部の前記半導体回路素子と周辺回路部の前記半導体回路素子との間にも設ける、請求項8に記載した光電変換装置。

【請求項10】

前記非受光部の前記半導体回路素子及び／又は前記周辺回路部の前記半導体回路素子の形成領域にも前記第1のウェルを形成し、前記半導体回路素子周囲の前記素子分離構造に接して、これらを取り囲む前記第1のウェル中にも、前記チャンネルストップ層よりも低濃度にチャンネルストップ層を形成する、請求項9に記載した光電変換装置の製造方法。

【請求項11】

前記素子分離構造がSTI(Shallow Trench Isolation)構造である、請求項7に記載した光電変換装置の製造方法。

【請求項12】

前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部の周囲において前記フォトダイオード部以外をマスクしながら、フォトダイオード部の前記凹部の壁面からイオン注入することによって前記チャンネルストップ層を形成する、請求項7に記載した光電変換装置の製造方法。

【請求項13】

前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部と前記非受光部の半導体回路素子部及び／又は前記周辺回路部の半導体回路素子部とをマスクしながら前記凹部の壁面からイオン注入することによって、前記半導体回路素子部の前記チャンネルストップ層を形成する、請求項10に記載した光電変換装置の製造方法。

【請求項14】

前記凹部を形成した後、前記凹部に気相成長法によって素子分離用の絶縁材料を埋め込む、請求項7に記載した光電変換装置の製造方法。

【請求項15】

前記第1、第2及び第3のウェルをイオン注入によって形成する、請求項7に記載した光電変換装置の製造方法。

【請求項16】

固体撮像装置を製造する、請求項7に記載した光電変換装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フォトダイオードが各受光領域にそれぞれ形成されている光電変換装置及びその製造方法に関するものである。

【0002】

【従来の技術】

近年、デジタルカメラやインターネットの急速な普及により、光学的な画像情報を電気信

10

20

30

40

50

号に変換し、デジタルデータとして取り込み、加工し、利用する機会が増えている。このため、固体撮像装置等の光電変換装置に対しても、小型化、低コスト化、高精細度・高感度・広ダイナミックレンジ等の高性能化の要求が高まり、今後ますますフォトダイオード等の固体撮像素子の微細化、高集積度化が進むと予想される。

【0003】

図9は、従来のイメージセンサ等のフォトダイオード(PD; Photo Diode)を中心とした主要部の概略断面図(a)及び概略平面図(b)の一例である。基板表面には、フォトダイオード間を素子分離するために、各フォトダイオードの受光領域114を電氣的に絶縁するLOCOS(Local Oxidation of Silicon)構造の素子分離構造107が形成されている。

10

【0004】

図9の例では、基板にN型シリコン基板101が用いられ、基板表面部に形成されたN型シリコン層118と、その下部のP<sup>-</sup>型化したシリコン層112との界面でのPN接合により、フォトダイオードが形成されている。以下、素子分離構造107で囲まれた部分を受光領域114と呼び、そのうちPN接合が形成されている部分をセンサ開口部115と呼んで、両者を区別することにする。

【0005】

センサ開口部115に入射した光は、PN接合部に達するとそこで正孔と電子に変換され、入射光の光量に応じた信号電荷(電子)がN型シリコン層118、更にはN型層がP<sup>-</sup>型化したシリコン層112に蓄積される。なお、最表面のP<sup>+</sup>型シリコン層119は表面からの電荷の漏洩を防止するためのものである。

20

【0006】

N型シリコン層118等からなる上記の信号電荷蓄積領域は、素子分離構造107の下部とその周囲に形成されたP型表面側ウェル111、基板の深い位置に形成されたP型ディープウェル108、及びP型表面側ウェル111とP型ディープウェル108とを電氣的に接続するように素子分離構造107の下方に上下方向に長く形成されたP型プラグ(P Plug)ウェル110によって、側面と底面とから取り囲まれている。これによって、信号電荷蓄積領域は、基板内においても周辺素子から電氣的に分離され、信号電荷が漏洩する事が無い。

【0007】

次に、図9のフォトダイオードの製造方法について要点を説明する。

30

【0008】

まず、N型シリコン基板101の受光領域114の周囲に、基板101の熱酸化によって、LOCOS構造の素子分離構造107を形成する。

【0009】

次に、B<sup>+</sup>のイオン注入と加熱による熱拡散・アニール処理を行い、基板の深い位置にP型ディープウェル108、素子分離構造107の下方にP型プラグウェル110、素子分離構造107の下部とその周囲にP型表面側ウェル111を形成する。P型表面側ウェル111は、後述する理由で、LOCOS構造の素子分離構造107の端部を0.1 $\mu$ mほどの幅をもって被覆する(受光領域114側にはみ出す)ように形成される。この時、周囲のP型領域からの熱拡散により、N型シリコン層118の下部に位置するN型層がP<sup>-</sup>型化し、P型ウェルに囲まれたP<sup>-</sup>型化シリコン層112が形成される。

40

【0010】

次に、センサ開口部115にAs<sup>+</sup>のイオン注入と加熱アニール処理を行い、N型シリコン層118を形成する。これにより、P<sup>-</sup>型化したシリコン層112とN型シリコン層118との界面にPN接合(フォトダイオード)が形成される。最後に、センサ開口部115にBF<sub>2</sub><sup>+</sup>のイオン注入と加熱アニール処理を行い、最表面のP<sup>+</sup>型シリコン層119を形成する。

【0011】

【発明に至る経過】

50

微細化、高集積度化という立場からみた図9のフォトダイオードの問題点は、LOCOS構造の素子分離構造107の末端から受光領域114側に0.1 $\mu$ mほどの幅で作られたP型表面側ウェル111のはみ出し部分116の存在にある(図9(b))。

【0012】

素子分離構造107を基板の熱酸化によって形成すると、バズビーク(bird's beak)により周囲に歪みの大きい境界領域120が形成される。このような境界領域120では、結晶の格子欠陥や界面準位に起因する電荷の漏洩が起こりやすい。この電荷の漏洩を防止するために、図9のフォトダイオードでは、境界領域120を包み込むようにP型表面側ウェル111を受光領域114側にはみ出させて形成し、境界領域120を信号電荷蓄積領域118から隔離している。

10

【0013】

このようなはみ出し部分116があると、その分だけセンサ開口部115は受光領域114より小さくなるから、単位画素中に占めるセンサ開口部115の面積割合であるセンサ開口率が小さくなり、フォトダイオードの感度が低下する原因になる。はみ出し部分116によるセンサ開口率の低下は、高精細度化によって単位画素の面積が小さくなるほど相対的に大きくなり、フォトダイオードを微細化する上での大きな障害になる。

【0014】

上記のような問題点を解決する方法として、本発明者は、フォトダイオード間を素子分離する素子分離構造の形成が、フォトダイオードの感度の低下につながりにくい構造をもつ光電変換装置及びその製造方法を提案した(特願2002-118746号)。

20

【0015】

即ち、特願2002-118746号に係る発明(以下、先願発明と称する)は、フォトダイオードが各受光領域にそれぞれ形成されている光電変換装置であって、第1導電型の半導体基体と、

半導体基体上に形成され、フォトダイオード間を素子分離するために形成された凹部内に絶縁膜が埋め込まれてなる素子分離構造と、

素子分離構造に接してこれを取り囲むように半導体基体中に形成された第2導電型のチャネルストップ層と、

受光領域の表面に形成された、フォトダイオードを構成する第1導電型の半導体層と、

30

第1導電型の半導体層に接してその下部に形成された第2導電型の半導体層と、

受光領域側の素子分離構造の端部に対し、受光領域の外方位置にて受光領域を取り囲むように形成された第2導電型の第1のウェルと、

受光領域の底部に形成された第2導電型の第2のウェルと

を有する光電変換装置及びその製造方法に係わるものである。

【0016】

図2は、先願発明の好ましい実施の形態であるCMOS(Complementary Metal Oxide Semiconductor)イメージセンサ等のフォトダイオード部の概略断面図(a)と概略平面図(b)である。基板の表面には、フォトダイオード間を素子分離するために、各フォトダイオードの受光領域14を電氣的に絶縁するSTI(Shallow Trench Isolation)構造の素子分離構造7bが形成されている。

40

【0017】

この例では、基板としてN型シリコン基板1が用いられ、基板表面部に形成されたN型シリコン層18と、その下部のP<sup>-</sup>型化したシリコン層12との界面でのPN接合により、フォトダイオード(PD)が形成されている。以下、素子分離構造7bで囲まれた部分を受光領域14と呼び、そのうちPN接合が形成されている部分をセンサ開口部15と呼んで、両者を区別することにする。

【0018】

50

センサ開口部 15 に入射した光は、PN 接合部に達するとそこで正孔と電子に変換され、入射光の光量に応じた信号電荷（電子）が N 型シリコン層 18、更には N 型層が P<sup>-</sup> 型化したシリコン層 12 に蓄積される。なお、最表面の P<sup>+</sup> 型シリコン層 19 は表面からの電荷の漏洩を防止するためのものである。

【0019】

N 型シリコン層 18 等からなる上記の信号電荷蓄積領域は、素子分離構造 7b の周囲に形成された P<sup>+</sup> 型チャンネルストッパ層 6、素子分離構造 7b の下部に形成された P 型表面側ウェル 11、基板の深い位置に形成された P 型ディープウェル 8、及び P 型表面側ウェル 11 と P 型ディープウェル 8 とを電氣的に接続するように素子分離構造 7b の下方に上下方向に長く形成された P 型プラグウェル 10 によって、側面と底面とから取り囲まれている。これによって、信号電荷蓄積領域は、基板内においても周辺素子から電氣的に分離され、信号電荷が漏洩する事が無い。

10

【0020】

P 型表面側ウェル 11 及び P 型プラグウェル 10 と P<sup>-</sup> 型化した層 12 との境界は、STI 末端直下よりも、受光領域 14 からみて 0.2  $\mu$ m 後退した位置に形成される。これは、信号電荷の蓄積容量を増加させるためである。

【0021】

図 2 (b) と図 9 (b) とを比べてみると、先願発明の好まし実施の形態によるフォトダイオードと従来例のフォトダイオードとの違いがよく理解できる。図 2 (b) では、STI 素子分離構造 7b に接して P<sup>+</sup> 型チャンネルストッパ層 6 が形成されているため、図 9 (b) にみられる受光領域 114 にはみ出した P 型層 116 が不要になっている。

20

【0022】

STI 素子分離構造 7b においても、歪みの大きい境界領域が周囲に形成されるが、STI 構造では、凹部の形成後に凹部壁面からのイオン注入によって境界領域に P<sup>+</sup> 型チャンネルストッパ層 6 を形成できるため、LOCOS 構造における P 型層 116 に比べて、P<sup>+</sup> 型チャンネルストッパ層 6 を薄くすることができ、その厚さは 0.1  $\mu$ m 以下、例えば 30 nm ほどである。

【0023】

このように、素子分離構造 7b によって囲まれる受光領域 14 のほぼ全域をセンサ開口部 15 として用いることができるため、P 型表面側ウェルのはみ出し部分 116 によるサイズシュリンクがない分、従来よりもセンサ開口部 15 の面積が大きくなり、フォトダイオードの感度が向上する。

30

【0024】

また、STI 構造 7b は、素子分離のための絶縁材料の幅を LOCOS 構造 107 等と比べてかなり狭めることができるので、素子分離構造自体の面積も縮小できる。

【0025】

以上から、単位画素中に占めるセンサ開口部 15 の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

【0026】

また、素子分離構造 7b の末端直下に対し、受光領域 14 の外方位置にまで広がった P<sup>-</sup> 型化したシリコン層 12 が、信号電荷蓄積領域の一部として用いられるため、大光量時に多量の信号電荷が発生しても飽和することなく信号電荷を蓄積できるので、大きなダイナミックレンジを実現することができる。

40

【0027】

次に、図 2 のイメージセンサのフォトダイオード部の製造方法について要点を説明する。

【0028】

まず、選択的なエッチングにより受光領域 14 の周囲に凹部を形成する。次に、凹部の内壁を熱酸化して、凹部内壁に薄い酸化シリコン膜を形成する。

【0029】

次に、凹部を酸化シリコンで埋める前に、凹部の内壁から基板垂直方向に対して 30 度傾

50

いた角度をもって加速電圧  $100\text{ keV}$ 、注入量（面密度） $2 \times 10^{13} / \text{cm}^2$  で  $\text{BF}_2^+$  イオンをイオン注入する。これにより、凹部の側面及び底面に接する基板内に、 $\text{P}^+$  型チャンネルストップ層 6 を形成する。

【0030】

次に、凹部に酸化シリコンを埋め込んだ後、余分な酸化シリコン等を除去して、STI 素子分離構造 7b を形成する。

【0031】

次に、受光領域 14 を含む画素領域全体に、加速電圧  $2\text{ MeV}$  による  $\text{B}^+$  のイオン注入と加熱による熱拡散・アニール処理を行い、基板の深い位置に P 型ディープウェル 8 を形成する。更に、受光領域 14 と STI 素子分離構造 7b の一部をマスクしながら、画素領域に、加速電圧  $1.5\text{ MeV}$  及び  $1.0\text{ MeV}$  による  $\text{B}^+$  のイオン注入と加熱による熱拡散・アニール処理を行い、P 型プラグウェル 10 を形成する。

10

【0032】

次に、上記と同様に、受光領域 14 と STI 素子分離構造 7b の一部をマスクしながら、加速電圧  $600\text{ keV}$ 、 $380\text{ keV}$  及び  $190\text{ keV}$  による  $\text{B}^+$  のイオン注入と加熱による熱拡散・アニール処理を行い、P 型表面側ウェル 11 を形成する。

【0033】

P 型表面側ウェル 11 の形成によって、N 型シリコン層 18 等のフォトダイオードの信号電荷蓄積領域が基板中の他の N 型シリコン領域から分断されたことになる。また、通常、P 型表面側ウェル 11 は、画素領域外の周辺回路部にも、周辺回路の半導体回路素子の P 型ウェルとして形成される。

20

【0034】

上記の一連の P 型ウェル形成工程時の熱拡散により、N 型シリコン層 18 の下部に位置する N 型層が  $\text{P}^-$  型化し、P 型ウェルに囲まれた  $\text{P}^-$  型化シリコン層 12 が形成される。

【0035】

続いて、センサ開口部 15 に加速電圧  $300\text{ keV}$  による  $\text{As}^+$  のイオン注入と加熱アニール処理を行い、N 型シリコン層 18 を形成する。これにより、 $\text{P}^-$  型化したシリコン層 12 と N 型シリコン層 18 との界面に PN 接合（フォトダイオード）が形成される。

【0036】

最後に、受光領域 14 に加速電圧  $50\text{ keV}$  による  $\text{BF}_2^+$  のイオン注入と加熱アニール処理を行い、表面からの信号電荷の漏洩を防止する  $\text{P}^+$  型シリコン層 19 を形成する。

30

【0037】

【発明が解決しようとする課題】

図 1 (b) は、完成した CMOS イメージセンサの概念的な概略断面図である。図の上部には、上記のフォトダイオードの作製工程のうち、凹部 4 の内壁から基板中に  $\text{BF}_2^+$  イオンを注入して  $\text{P}^+$  チャンネルストップ層 6 を形成する工程の状態を示す概略断面図を付記した。

【0038】

同図に見られるように、この例では、凹部 4 内壁へのイオン注入を、フォトダイオード部を選別することなく、基板 1 上のすべての凹部 4 に対して行っている。このため、基板 1 のすべての凹部 4 の周囲の基板中に同一濃度の  $\text{P}^+$  チャンネルストップ層 6 が形成される。

40

【0039】

しかしながら、通常、周辺回路部の STI 側壁には、 $\text{P}^+$  層を形成しない。形成するとしてもその最適ドーパント濃度は、フォトダイオード部のチャンネルストップ層における  $\text{P}^+$  層の最適ドーパント濃度に比べてはるかに小さい。両者の最適条件は異なるので、上記のように画一的に  $\text{P}^+$  チャンネルストップ層 6 を形成すると、周辺回路のトランジスタやその他の素子、又は画素内トランジスタの特性が変化し、センサの駆動に悪影響を及ぼす心配がある。

【0040】

このように、先願発明に基づいて形成される  $\text{P}^+$  チャンネルストップ層 6 及びその形成方法

50

は、フォトダイオードの感度の向上に有効であるが、フォトダイオード周囲の半導体素子との関係で改善すべき余地があることが明らかとなった。

【0041】

本発明は、上記のような事情に鑑みてなされたものであって、その目的は、フォトダイオード間を素子分離する素子分離構造の形成が、フォトダイオードの感度の低下につながりにくく、且つ周囲の半導体回路素子に悪影響を及ぼさない構造をもつ光電変換装置及びその製造方法を提供することである。

【0042】

【課題を解決するための手段】

即ち、本発明は、第1導電型の半導体基体上の各受光領域に形成されたフォトダイオードと、前記半導体基体上の前記受光領域外の領域に形成された半導体回路素子とを有し、前記半導体基体上に形成され、前記フォトダイオード及び前記半導体回路素子の間を素子分離するために形成された凹部内に絶縁膜が埋め込まれてなる素子分離構造と、

前記フォトダイオードを素子分離する前記素子分離構造に接して、これを取り囲むように前記半導体基体中に形成された第2導電型のチャンネルストッパ層と、

前記受光領域の表面側に形成された、前記フォトダイオードを構成する第1

導電型の半導体層と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように形成された第2導電型の第1のウェルと、

前記受光領域の底部に形成された第2導電型の第2のウェルと、

前記第1及び第2のウェルを接続する第2導電型の第3のウェルと

を有する光電変換装置であって、

前記素子分離構造に接してこれを取り囲む前記第1のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置にて前記チャンネルストッパ層が終焉している

光電変換装置に係わる。

【0043】

また、本発明は、第1導電型の半導体基体上の各受光領域にフォトダイオードを形成し、前記半導体基体上の前記受光領域外の領域に半導体回路素子を形成する光電変換装置の製造方法であって、

前記半導体基体上に、前記フォトダイオード及び前記半導体回路素子の間を素子分離するための凹部を形成し、この凹部内に絶縁膜を埋め込んで素子分離構造を形成する工程と、

前記フォトダイオードを素子分離する前記素子分離構造に接してこれを取り囲むように、

前記半導体基体中に第2導電型のチャンネルストッパ層を形成する工程と、

前記受光領域の表面側に、前記フォトダイオードを構成する第1導電型の半

導体層を形成する工程と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように、第2導電型の第1のウェルを形成する工

程と、

前記受光領域の底部に第2導電型の第2のウェルを形成する工程と

前記第1及び第2のウェルを接続する第2導電型の第3のウェルを形成する

工程と

を有する光電変換装置の製造方法であって、

前記素子分離構造に接してこれを取り囲む前記第1のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置にて終焉するよ

うに前記チャンネルストッパ層を形成する

光電変換装置の製造方法に係わる。

## 【0044】

本発明によれば、前記素子分離構造においても、歪みの大きい境界領域が周囲に形成されるが、前記凹部の形成後に前記凹部からの不純物ドーピングにより前記境界領域に前記第2導電型のチャンネルストッパ層を形成できるため、LOCOS構造と比較して、チャンネルストッパ層を薄くすることができ、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

## 【0045】

また、前記チャンネルストッパ層は、前記受光領域の周囲であって前記半導体回路素子との間である位置にて終焉しているため、前記チャンネルストッパ層の形成が、前記半導体回路素子に悪影響を与えることは無い。

10

## 【0046】

## 【発明の実施の形態】

本発明においては、前記素子分離構造が、少なくとも前記受光領域の周囲に設けられているのがよい。

## 【0047】

前記素子分離構造がSTI (Shallow Trench Isolation) 構造であるのがよい。前記STI構造は、素子分離のための絶縁材料の幅をLOCOS構造等と比べてかなり狭めることができるので、前記素子分離構造自体の面積も縮小できる。

## 【0048】

本発明においては、前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部の周囲において前記フォトダイオード部以外をマスクしながら、フォトダイオード部の前記凹部の壁面からイオン注入することによって、フォトダイオード部の前記チャンネルストッパ層を形成するのがよい。

20

## 【0049】

また、前記素子分離構造が、前記受光領域の前記フォトダイオードとこの周囲の非受光部の前記半導体回路素子との間、及び／又は、前記非受光部の前記半導体回路素子と周辺回路部の前記半導体回路素子との間にも設けられていてよい。

## 【0050】

その場合、前記非受光部の前記半導体回路素子及び／又は前記周辺回路部の前記半導体回路素子の形成領域にも前記第1のウェルが形成され、前記半導体回路素子の周囲の前記素子分離構造に接して、これらを取り囲む前記第1のウェル中にも、前記フォトダイオード部のチャンネルストッパ層よりも低濃度にチャンネルストッパ層が形成されているのがよい。

30

## 【0051】

前記半導体回路素子部のチャンネルストッパ層を前記フォトダイオード部のチャンネルストッパ層と別個に形成することで、それぞれに最適の不純物濃度をもつチャンネルストッパ層を形成することができる。

## 【0052】

本発明においては、前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部と前記非受光部の半導体回路素子部及び／又は前記周辺回路部の半導体回路素子部とをマスクしながら前記凹部の壁面からイオン注入することによって、前記半導体回路素子部の前記チャンネルストッパ層を形成するのがよい。

40

## 【0053】

また、前記素子分離構造を形成するに際しては、前記凹部に気相成長法によって素子分離用の絶縁材料を埋め込むのがよい。

## 【0054】

前記第1、第2及び第3のウェルをイオン注入によって形成するのがよい。イオン注入法によれば、所定の位置に所望の濃度のドーパントを精度良くドーピングすることができる。このため、例えば熱拡散法では不可能な、前記半導体基体の深部にウェルを形成することができる。

## 【0055】

50

本発明に基づいて、固体撮像装置を製造するのがよい。

【0056】

以下、本発明の好ましい実施の形態を図面参照下に具体的に説明する。

【0057】

実施の形態1：CMOSイメージセンサ(1)

図2は、本発明の好ましい実施の形態であるCMOS(Complementary Metal Oxide Semiconductor)イメージセンサのフォトダイオード部の概略断面図(a)と概略平面図(b)である。基板の表面には、フォトダイオード間を素子分離するために、各フォトダイオードの受光領域14を電氣的に絶縁するSTI(Shallow Trench Isolation)構造の素子分離構造7bが形成されている。

10

【0058】

この例では、基板としてN型シリコン基板1が用いられ、基板上部のN型シリコン層18とその下部のP<sup>-</sup>型化したシリコン層12とがその界面でPN接合によるフォトダイオードを形成している。

【0059】

受光領域14のセンサ開口部15に入射した光は、PN接合部に達するとそこで正孔と電子に変換され、入射光の光量に応じた信号電荷(電子)がN型シリコン層18、更にはN型層がP<sup>-</sup>型化したシリコン層12に蓄積される。なお、最表面のP<sup>+</sup>型シリコン層19は表面からの電荷の漏洩を防止するものである。

20

【0060】

N型シリコン層18からなる信号電荷蓄積領域は、素子分離構造7bの周囲に形成されたP<sup>+</sup>型チャンネルストッパ層6、素子分離構造7bの下部に形成されたP型表面側ウェル11、基板の深い位置に形成されたP型ディープウェル8、及びP型表面側ウェル11とP型ディープウェル8とを電氣的に接続するように素子分離構造7bの下方に上下方向に長く形成されたP型プラグウェル10によって、側面と底面とから取り囲まれている。これによって、N型信号電荷蓄積領域18は、基板内においても周辺素子から電氣的に分離され、信号電荷が漏洩する事が無い。

【0061】

P型表面側ウェル11及びP型プラグウェル10とP<sup>-</sup>型化した層12との境界は、STI末端直下よりも、受光領域14からみて0.2 $\mu$ m後退した位置に形成される。これは、信号電荷の蓄積容量を増加させるためである。

30

【0062】

上記のフォトダイオードの構造は、先願発明に基づくフォトダイオードと同一であるから、同一の効果を有するのは、言うまでもない。

【0063】

即ち、STI素子分離構造7bに接してP<sup>+</sup>型チャンネルストッパ層6が形成されているため、図9(b)にみられる受光領域114にはみ出したP型層116が不要になっている。

【0064】

STI素子分離構造7bにおいても、歪みの大きい境界領域が周囲に形成されるが、STI構造では、凹部の形成後に凹部壁面からのイオン注入によって境界領域にP<sup>+</sup>型チャンネルストッパ層6を形成できるため、LOCOS構造におけるP型層116に比べて、P<sup>+</sup>型チャンネルストッパ層6を薄くすることができ、その厚さは0.1 $\mu$ m以下、例えば30nmほどである。

40

【0065】

このように、素子分離構造7bによって囲まれる受光領域14のほぼ全域をセンサ開口部15として用いることができるため、従来よりもセンサ開口部15の面積が大きくなり、フォトダイオードの感度が向上する。

【0066】

50

また、STI構造7bは、素子分離のための絶縁材料の幅をLOCOS構造107等と比べてかなり狭めることができるので、素子分離構造自体の面積も縮小できる。

【0067】

以上から、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

【0068】

また、素子分離構造7bの末端直下に対し、受光領域14の外方位置にまで広がったP<sup>-</sup>型化したシリコン層12が、信号電荷蓄積領域の一部として用いられるため、大光量時に多量の信号電荷が発生しても飽和することなく信号電荷を蓄積できるので、大きなダイナミックレンジを実現することができる。

10

【0069】

図3は、上記のフォトダイオードを基板上に2次元マトリクス状に配置したCMOSイメージセンサの構成を示す概略構成図である。この装置では、垂直方向スキャナ32と水平方向スキャナ34によって行と列がそれぞれ選択され、その交点にある画素31のフォトダイオードの信号電荷が読み出される。

【0070】

即ち、垂直方向スキャナ32からの制御信号によってある行の読み出し用トランジスタ33が選択されてON状態になり、同時に水平方向スキャナ34によって各列に読み出し信号が順次加えられると、その交点にある画素31からの出力が電流電圧変換回路35の入力部に導かれ、電流電圧変換回路35及び出力バッファ回路36によって電圧に変換されて出力される。

20

【0071】

垂直方向スキャナ32の1周期の間にすべての画素31が順次1回ずつ走査され、1周期の間に各画素31のフォトダイオードに蓄積されていた信号電荷に応じた出力が読み出されるとともに、読み出し後、フォトダイオードは電荷を消去され、初期状態にリセットされる。こうして、二次元マトリクス状に配置されたフォトダイオードによって光電変換された映像信号が時分割で出力される。

【0072】

図3の各画素31は基板上の画素領域37に形成され、垂直方向スキャナ32、読み出し用トランジスタ33、水平方向スキャナ34、電流電圧変換回路35、出力バッファ回路36等の周辺回路は画素領域37に隣接した周辺回路部38に形成される。

30

【0073】

図4は、画素領域37における配置を示す平面図である。図4(a)は、多数の画素31が2次元マトリクス状に配置されている状態を示す全体図であり、図4(b)は、1つの画素31内での配置を示す平面図である。図4では、P型シリコン層の上部に形成されたN型拡散層18、43等とゲート層42、45、48とコンタクト41、44、47、49等のみを示し、上層配線は図示を省略している。ゲート層は多結晶シリコンで形成され、その下部はP型層である。

【0074】

図4(b)に示したN型シリコン層18は、図2で説明したように、その下部のP<sup>-</sup>型化したシリコン層12との界面でPN接合によるフォトダイオードを形成し、入射光の光量に応じた信号電荷(電子)を発生させる。その信号電荷(電子)は、1周期の間、N型領域18を主とする信号電荷蓄積領域に蓄積される。

40

【0075】

図3の水平方向スキャナ34からの読み出し信号は、図4のコンタクト41を通じて転送ゲート42に加えられる。読み出し信号の作用で転送ゲート42下のチャネル層が導通状態になると、N型シリコン層18等の信号電荷蓄積領域に蓄積されていた信号電荷(電子)は、画素内の非受光部に形成されているN型バッファ層43に転送され、信号電荷量に応じた信号電圧を発生する。

【0076】

50

この信号電圧は、コンタクト 4 4 を通じて増幅用トランジスタのゲート 4 5 に印加され、増幅用トランジスタ 4 6 を流れる電流の変化として読み出される。増幅用トランジスタ 4 6 の出力電流は、図 3 の読み出し用トランジスタ 3 3 に導かれ、前述したように電圧に変換されて出力される。

【0077】

読み出しが終了すると、コンタクト 4 7 を通じてリセット信号がリセットゲート 4 8 に印加され、N 型バッファ層 4 3 に貯留されていた信号電荷はコンタクト 4 9 を通じて消去され、フォトダイオードは初期状態にリセットされる。

【0078】

上記のように、1 つの画素には、受光部に形成されたフォトダイオードと非受光部に形成された種々の半導体回路素子とが含まれていて、画素同士を素子分離するとともに、1 画素内で各素子間を素子分離することが必要である。

【0079】

図 4 の N 型シリコン層 1 8 の広がりがあるセンサ開口部 1 5 に相当する (図 2)。従って、フォトダイオード部の S T I 素子分離構造に接して形成される P<sup>+</sup> チャネルストッパ層 6 の、受光領域側の端部 5 0 A は、N 型シリコン層 1 8 の外周部 (実線) にある。もう一方の端部 5 0 B は、破線で示す位置にあって、非受光部の増幅用トランジスタ 4 6 の形成領域との間で終焉している。

【0080】

図 1 (a) は、C M O S イメージセンサを、まず周辺回路部を切断し、次に画素の非受光部 (例えば、図 4 (b) の A - B) を切断し、次に画素の受光部 (例えば、図 4 (b) の B - C) を切断して得られた断面図をつなぎ合わせた概念的な概略断面図である。

【0081】

図 1 (a) の上部には、後述する C M O S イメージセンサの作製工程のうち、受光部の凹部の内壁から基板中に B F<sub>2</sub><sup>+</sup> イオンを注入して P<sup>+</sup> チャネルストッパ層 6 を形成する工程の状態を示す概略断面図を付記した。

【0082】

同図に見られるように、B F<sub>2</sub><sup>+</sup> イオンを注入するに際して、非受光部の半導体回路素子部や周辺回路部の半導体回路素子部をマスク 3 0 で覆っているため、P<sup>+</sup> チャネルストッパ層 6 は、フォトダイオード部の S T I 素子分離構造下にのみ形成され、画素領域非受光部の半導体回路素子部との S T I 素子分離構造の中間位置 5 0 B で終焉し、その半導体回路素子部までは伸びていない。従って、画素内トランジスタ 5 1 (増幅用トランジスタ 4 6 等) 又は周辺回路部 3 8 のトランジスタ 5 2 やその他の素子に悪影響を及ぼす心配はない。

【0083】

P 型ディープウェル 8 及び P 型プラグウェル 1 0 は、受光部にのみ形成することも可能であるが、通常は、受光部から非受光部まで画素領域全体に形成されるのが望ましい。これは、信号電荷の漏洩をより効果的に防止するためである。

【0084】

また、P 型表面側ウェル 1 1 は、受光部にのみ形成することも可能であるが、通常は、周辺回路部及び非受光部に形成される半導体回路素子の P 型ウェルと同時に形成される。これは、信号電荷の漏洩をより効果的に防止するとともに、効率的にイメージセンサを形成するためでもある。

【0085】

周辺回路部及び非受光部に形成されるトランジスタ 5 1、5 2 は、L D D (L i g h t l y D o p e d D r a i n - s o u r c e) 構造をもつものが望ましい。これにより、ドレイン電界が緩和され、耐電圧性が向上する。

【0086】

実施の形態 2 : C M O S イメージセンサ ( 1 ) の作製

図 5 ~ 7 は、本発明の好ましい実施の形態による光電変換装置の製造方法によって、実施

の形態 1 で示した CMOS イメージセンサ (1) を作製する工程を工程順に示す概略断面図である。

【0087】

工程 1

まず、図 5 (a) のように、CVD (Chemical Vapor Deposition) 法等により N 型半導体基板 1 の表面上に酸化シリコン膜 2 及び窒化シリコン膜 3 を積層して形成した後、STI 構造 7b の凹部 4 のパターンに対応した形状にこれらの膜 2 及び 3 をパターニングする。

【0088】

工程 2

次に、図 5 (b) のように、酸化シリコン膜 2 及び窒化シリコン膜 3 をマスクとして、ドライエッチング (反応性イオンエッチング) 等によりシリコンをエッチング除去して、凹部 4 を形成する。

【0089】

工程 3

次に、図 5 (c) のように、凹部 4 の内壁を熱酸化して、凹部 4 内壁に薄い酸化シリコン膜 5 を形成する。

【0090】

工程 4

次に、凹部 4 を酸化シリコンで埋める前に、図 5 (d) のように周辺回路部及び非受光部をマスク 30 で覆いながら、基板垂直方向から 30 度傾いた角度をもって加速電圧 100 keV、注入量 (面密度)  $2 \times 10^{13} / \text{cm}^2$  で  $\text{BF}_2^+$  イオンを凹部 4 の内壁からイオン注入して、 $\text{P}^+$  型チャネルストップパ層 6 を形成する。

【0091】

このとき、図 1 (a) でも説明したように、 $\text{P}^+$  型チャネルストップパ層 6 は受光部にのみ形成され、周辺回路部 38 及び非受光部に形成される半導体回路素子に悪影響を与えることはない。

【0092】

工程 5

次に、図 6 (e) のように、CVD (Chemical Vapor Deposition) 法等により酸化シリコン 7a を堆積させ、トレンチ溝 4 に酸化シリコン 7a を埋め込む。

【0093】

工程 6

次に、図 6 (f) のように、CMP (Chemical Mechanical Polishing) 法等により表面を研磨して、余分な酸化シリコン、窒化シリコン膜 3、酸化シリコン膜 2 を順次除去して、STI 素子分離構造 7b を完成する。

【0094】

工程 7

次に、図 6 (g) のように、周辺回路部 38 をマスク 21 で覆いながら、受光領域 14 を含む画素領域 37 全体に、加速電圧 2 MeV、注入量 (面密度)  $5 \times 10^{11} / \text{cm}^2$  で  $\text{B}^+$  イオンをイオン注入し、続いて加熱による熱拡散とアニール処理を行い、基板の深い位置に P 型ディープウェル 8 を形成する。

【0095】

工程 8

次に、図 6 (h) のように、周辺回路部 38 及び受光領域 14 と STI 素子分離構造 7b の一部をマスク 9 で覆いながら、STI 構造 7b の下方に、加速電圧 1.5 MeV、注入量 (面密度)  $8 \times 10^{11} / \text{cm}^2$ 、及び加速電圧 1.0 MeV、面密度  $3 \times 10^{12} / \text{cm}^2$  で  $\text{B}^+$  イオンをイオン注入し、続いて加熱による熱拡散とアニール処理を行い、P 型プラグウェル 10 を形成する。

10

20

30

40

50

## 【0096】

P型ディープウェル8及びP型プラグウェル10は、受光部にのみ形成することも可能であるが、通常は、受光部から非受光部まで画素領域37全体に形成されるのが望ましい。これは、信号電荷の漏洩をより効果的に防止するためである。

## 【0097】

## 工程9

次に、図7(i)のように、受光領域14とSTI素子分離構造7bの一部をマスク32で覆いながら、加速電圧600keV、注入量(面密度) $3 \times 10^{12} / \text{cm}^2$ ；加速電圧380keV、面密度 $3 \times 10^{12} / \text{cm}^2$ ；及び加速電圧190keV、注入量(面密度) $6 \times 10^{12} / \text{cm}^2$ で $\text{B}^+$ イオンをイオン注入し、続いて加熱による熱拡散とアニール処理を行い、P型表面側ウェル11を形成する。

10

## 【0098】

P型表面側ウェル11によって受光領域14のN型シリコン層が他のN型シリコン領域から分断されたことになる。P型表面側ウェル11は、受光部にのみ形成することも可能であるが、通常は、周辺回路部38及び非受光部に形成される半導体回路素子のP型ウェルと同時に形成される。これは、信号電荷の漏洩をより効果的に防止するとともに、効率的にイメージセンサを形成するためでもある。

## 【0099】

また、ウェル形成時の熱拡散により、N型シリコン層が $\text{P}^-$ 型化し、P型ウェルに囲まれた $\text{P}^-$ 型したシリコン層12が形成される。

20

## 【0100】

## 工程10

次に、図7(j)のように、センサ開口部15以外の部分をマスクしながら、センサ開口部15に加速電圧300keV、注入量(面密度) $2 \times 10^{12} / \text{cm}^2$ で $\text{As}^+$ イオンをイオン注入し、続いて加熱アニール処理を行い、N型シリコン層18を形成する。これで、P型シリコン層12とN型シリコン層18との界面にPN接合(フォトダイオード)が形成される。従って、図2(b)に示したように、平面図上で $\text{P}^+$ 型チャネルストッパ層6で囲まれた領域が、センサ開口部15となる。

## 【0101】

## 工程11

次に、図4(k)のように、受光部14以外の部分をマスクしながら、加速電圧50keV、面密度 $1 \times 10^{13} / \text{cm}^2$ で $\text{BF}_2^+$ イオンをイオン注入し、続いて加熱アニール処理を行い、 $\text{P}^+$ 型シリコン層19を形成する。

30

## 【0102】

## 工程12

最後に、周辺回路部及び非受光部の所望の領域の基板表面に熱酸化によって酸化膜を形成した後、非受光部トランジスタ51や周辺回路部トランジスタ52などの半導体回路素子を公知の方法で形成する。

## 【0103】

実施の形態3：CMOSイメージセンサ(2)とその作製

40

図8(a)は、実施の形態1の変形例であるCMOSイメージセンサ(2)の概念的な概略断面図である。図の上部には、作製工程4aとして追加され、周辺回路部38及び非受光部の凹部内壁から基板中に $\text{BF}_2^+$ イオンを注入して、 $\text{P}^+$ チャネルストッパ層6aを形成する工程の状態を示す概略断面図を付記した。

## 【0104】

この変形例では、実施の形態2に示した作製工程を、工程4(周辺回路部38及び非受光部をマスク30で覆いながら、基板垂直方向から30度傾いた角度をもって加速電圧100keV、注入量(面密度) $2 \times 10^{13} / \text{cm}^2$ で $\text{BF}_2^+$ イオンを凹部4の内壁からイオン注入して、受光部にのみ $\text{P}^+$ 型チャネルストッパ層6を形成する工程)の後に、次の工程4aを追加して行うように変更する。

50

## 【0105】

## 工程4a

図8(a)付図のように、受光部をマスク30aで覆いながら、基板垂直方向から30度傾いた角度をもって加速電圧100keV、注入量(面密度)  $1 \times 10^{13} / \text{cm}^2$  で  $\text{BF}_2^+$  イオンを凹部4の内壁からイオン注入して、周辺回路部38及び非受光部に  $\text{P}^+$  型チャンネルストップパ層6aを形成する。

## 【0106】

これにより、周辺回路部3.8及び非受光部には、受光部の  $\text{P}^+$  型チャンネルストップパ層6より小さい濃度の  $\text{P}^+$  型チャンネルストップパ層6aが形成される。この濃度は、この領域に形成される半導体回路素子に悪影響を及ぼさない最適濃度とすることができる。

10

## 【0107】

$\text{P}^+$  型チャンネルストップパ層6aが付加されることを除けば、実施の形態1と変わるところはないから、実施の形態1で前述した効果が実施の形態3においても得られるのは言うまでもない。

## 【0108】

実施の形態4：CMOSイメージセンサ(3)とその作製

図8(b)は、これも実施の形態1の変形例であるCMOSイメージセンサ(3)の概念的な概略断面図である。図の上部には、作製工程4bとして追加され、非受光部の凹部内壁から基板中に  $\text{BF}_2^+$  イオンを注入して、 $\text{P}^+$  チャンネルストップパ層6bを形成する工程の状態を示す概略断面図を付記した。

20

## 【0109】

この変形例では、実施の形態2に示した作製工程を、工程4(周辺回路部38及び受光部をマスク30で覆いながら、基板垂直方向から30度傾いた角度をもって加速電圧100keV、注入量(面密度)  $2 \times 10^{13} / \text{cm}^2$  で  $\text{BF}_2^+$  イオンを凹部4の内壁からイオン注入して、受光部にのみ  $\text{P}^+$  型チャンネルストップパ層6を形成する工程)の後に、次の工程4bを追加して行うように変更する。

## 【0110】

## 工程4b

図8(b)付図のように、周辺回路部38及び受光部をマスク30bで覆いながら、基板垂直方向から30度傾いた角度をもって加速電圧100keV、注入量(面密度)  $1 \times 10^{13} / \text{cm}^2$  で  $\text{BF}_2^+$  イオンを凹部4の内壁からイオン注入して、非受光部に  $\text{P}^+$  型チャンネルストップパ層6bを形成する。

30

## 【0111】

これにより、非受光部にのみ、受光部の  $\text{P}^+$  型チャンネルストップパ層6より小さい濃度の  $\text{P}^+$  型チャンネルストップパ層6bが形成される。この濃度は、この領域に形成される半導体回路素子に悪影響を及ぼさない最適濃度とすることができる。

## 【0112】

通常、非受光部の素子分離構造はP型ウェルと接触しているから電荷の漏洩が起こりやすく、非受光部に  $\text{P}^+$  型チャンネルストップパ層6bを設ける効果は高い。また、イオン注入によってトランジスタのしきい値電圧  $V_{TH}$  や電流特性  $I_D$  を好ましい値に調節できる効果がある。

40

## 【0113】

$\text{P}^+$  型チャンネルストップパ層6bが付加されることを除けば、実施の形態1と変わるところはないから、実施の形態1で前述した効果が実施の形態4においても得られるのは言うまでもない。

## 【0114】

以上、本発明を実施の形態に基づいて説明したが、本発明はこれらの例に何ら限定されるものではなく、発明の主旨を逸脱しない範囲で適宜変更可能であることは言うまでもない。

## 【0115】

50

例えば、上述のウェル形成のイオン注入は、S T Iによる素子分離構造の形成以前に行ってもよい。また、上述の各半導体領域の導電型を逆にしてもよい。また、周辺回路部38の素子分離は、S T I構造以外の方法で行ってもよい。

#### 【0116】

##### 【発明の作用効果】

本発明によれば、素子分離構造の周囲に歪みの大きい境界領域が形成されても、凹部の形成後に凹部からの不純物ドーピングにより境界領域に第2導電型のチャンネルストッパ層を形成できるため、L O C O S構造と比較して、チャンネルストッパ層を薄くすることができ、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

10

#### 【0117】

また、特にS T I構造は、素子分離のための絶縁材の幅をL O C O S構造等と比べてかなり狭めることができるので、素子分離構造自体の面積も縮小できる。

#### 【0118】

以上から、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

#### 【0119】

また、チャンネルストッパ層は、受光領域の周囲であって半導体回路素子との間である位置にて終焉しているため、チャンネルストッパ層の形成が、半導体回路素子に悪影響を与えることは無い。

20

##### 【図面の簡単な説明】

【図1】本発明及び先願発明の好ましい実施の形態であるC M O Sイメージセンサの概略断面図である。

【図2】先願発明並びに本発明の好ましい実施の形態であるC M O Sイメージセンサのフォトダイオード部の概略断面図(a)と概略平面図(b)である。

【図3】本発明の実施の形態に基づくC M O Sイメージセンサの構成図である。

【図4】同、画素領域の配置を示す平面図である。

【図5】同、C M O Sイメージセンサの作製工程を示す概略断面図である。

【図6】同、C M O Sイメージセンサの作製工程を示す概略断面図である。

【図7】同、C M O Sイメージセンサの作製工程を示す概略断面図である。

30

【図8】本発明及の他の好ましい実施の形態であるC M O Sイメージセンサの概略断面図である。

【図9】従来のイメージセンサのフォトダイオード部の概略断面図(a)と概略平面図(b)である。

##### 【符号の説明】

1…N型半導体基板、2…酸化シリコン膜、3…窒化シリコン膜、4…凹部、  
5…酸化シリコン膜、6…P<sup>+</sup>型チャンネルストッパ層、7a…酸化シリコン、  
7b…素子分離構造(S T I構造)、8…P型ディープウェル、9…マスク、  
10…P型プラグウェル、11…P型表面側ウェル、  
12…P<sup>-</sup>型化したシリコン層、13…マスク、14…受光領域、  
15…センサ開口部、18…N型シリコン層、19…P<sup>+</sup>型シリコン層、  
20、21、30、30a、30b…マスク、31…画素、  
32…垂直方向スキヤナ、33…読み出し用トランジスタ、  
34…水平方向スキヤナ、35…電流電圧変換回路、36…出力バッファ回路、  
37…画素領域、38…周辺回路部、41…コンタクト、42…転送ゲート、  
43…N型バッファ層、44…コンタクト、  
45…増幅用トランジスタのゲート、46…増幅用トランジスタ、  
47…コンタクト、48…リセットゲート、49…コンタクト、  
50A…P<sup>+</sup>型チャンネルストッパ層の受光領域側端部、  
50B…P<sup>+</sup>型チャンネルストッパ層のもう一方の端部、

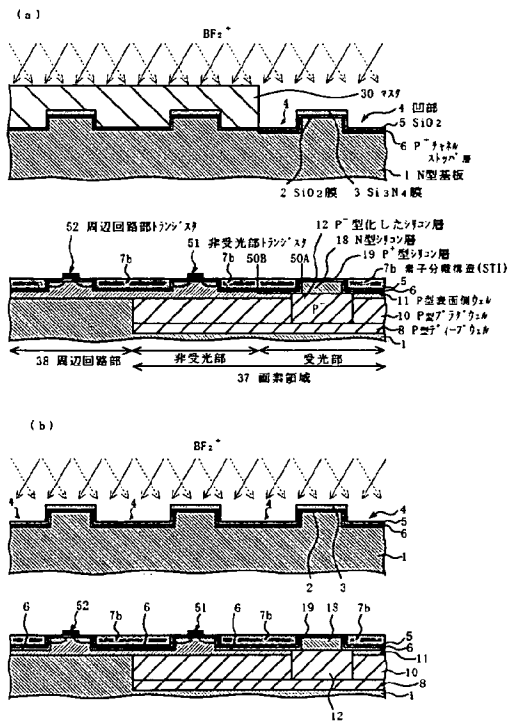
40

50

51…非受光部トランジスタ、52…周辺回路部トランジスタ、  
 101…N型半導体基板、102…酸化シリコン膜、  
 107…素子分離構造（LOCOS構造）、108…P型ディープウェル、  
 110…P型プラグウェル、111…P型表面側ウェル、  
 112…P<sup>-</sup>型化したシリコン層、114…受光領域、115…センサ開口部、  
 116…P型表面側ウェルのはみ出し部分、118…N型シリコン層、  
 119…P<sup>+</sup>型シリコン層、120…歪みの大きい境界領域

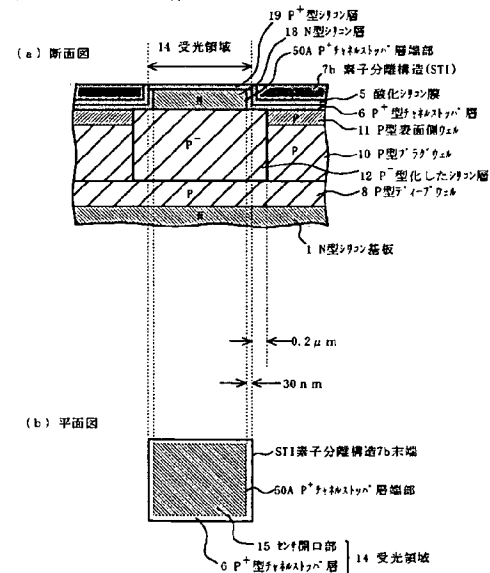
【図1】

CMOSイメージセンサの例



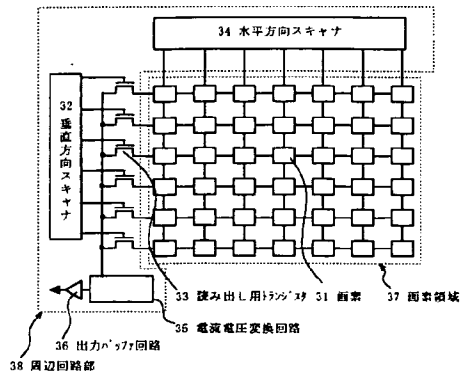
【図2】

イメージセンサのPD部



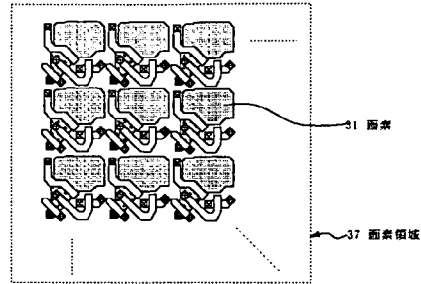
【図 3】

CMOSイメージセンサの構成

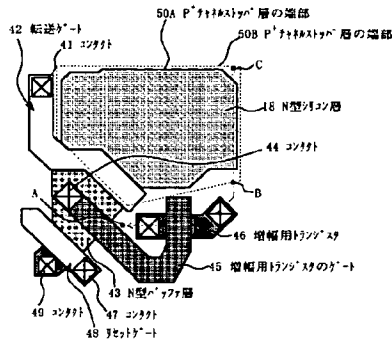


【図 4】

(a) 画素基板全体図

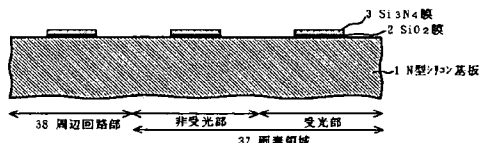


(b) 1つの画素の平面図

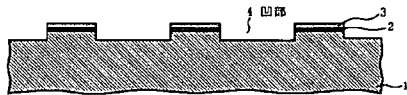


【図 5】

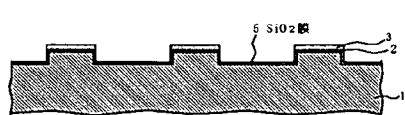
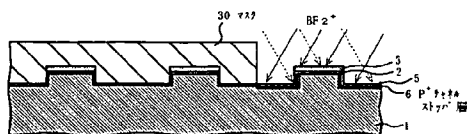
イメージセンサの作製工程

(a) 工程1:  $\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜を形成後、パターニング。

(b) 工程2: シリコンをエッチングして凹部を形成。

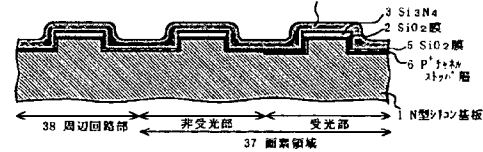
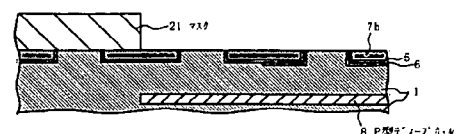
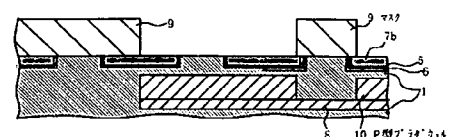


(c) 工程3: 凹部内壁を熱酸化。

(d) 工程4:  $\text{BF}_2^+$ 注入により $\text{P}^+$ 型チャネルストップ層を形成。

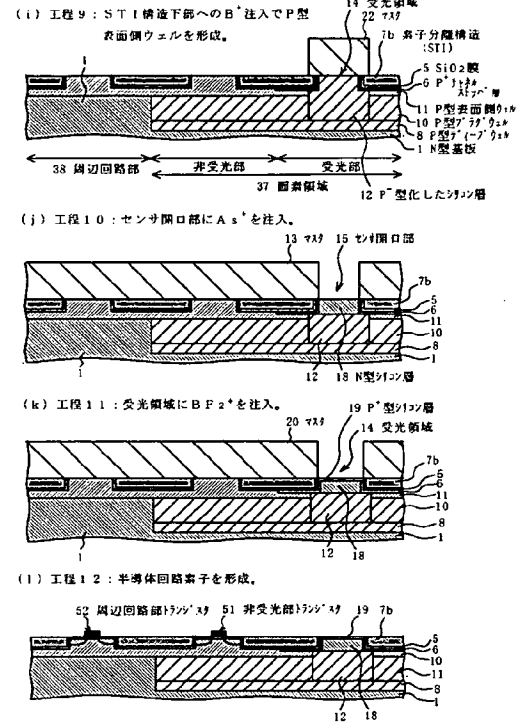
【図 6】

イメージセンサの作製工程

(e) 工程5: CVDで凹部に $\text{SiO}_2$ を堆積込む。(f) 工程6: CMPで余分な $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜除去。(g) 工程7: 凹部への $\text{B}^+$ 注入で $\text{P}^+$ 型プリアンプウェルを形成。(h) 工程8: STI構造下方への $\text{B}^+$ 注入で $\text{P}^+$ 型プラグウェルを形成。

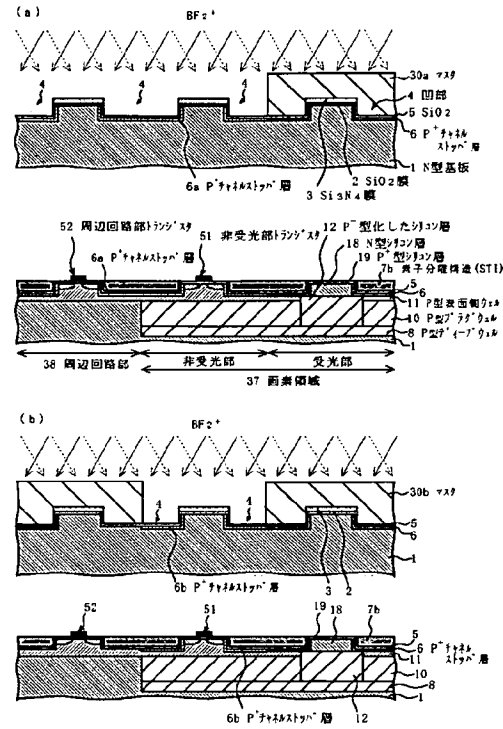
【図 7】

イメージセンサの作製工程



【図 8】

CMOS イメージセンサの他の例



【図 9】

従来のイメージセンサの P D 部

